



**UNIVERSIDAD AUTÓNOMA DEL
ESTADO DE HIDALGO**

**INSTITUTO DE CIENCIAS BÁSICAS E INGENIERÍA
CENTRO DE INVESTIGACIÓN EN TECNOLOGÍAS DE
INFORMACIÓN Y SISTEMAS**

T E S I S

**DISEÑO DE ETAPA DE AMPLIFICACIÓN Y
ADECUACIÓN DE SEÑAL EN UN CIRCUITO
INTEGRADO PARA UN MICRO SENSOR DE
GASES (MEMS) INTELIGENTE**

Que presenta
Edgar Norman Vázquez Acosta*

Para obtener el grado de
**Maestro en ciencias
en automatización y control**

Asesores
**Dr. José Luís González Vidal
Dr. jair García lamont**

*BECARIO CONACYT

Agradeci mi entos

A mi s padres:

Por su apoyo y cariño incondicional, ya que sin ellos nada de esto seria posible.

Por parte del CITIS:

A los Dres. José Luis González Vidal y Jair García Lamont por su apoyo y asesoría durante la realización de este trabajo

Por parte del CONACYT y la UAEH:

Por la beca de estudios otorgada durante los estudios de la Maestría en Ciencias en Automatización y Control y por la alta calidad educativa.

A todos aquéllos que me han brindado su sincera amistad, respeto y cariño a lo largo del camino, mi eterna admiración y amistad incondicional

Índice general

1. Introducción	1
1.1. MEMS	1
1.2. Antecedentes de Sensores de Gases	2
1.3. Sensor de Gases	3
1.4. Amplificación y adecuación de señal.....	6
1.5. Amplificador Operacional (OPAMP)	6
1.6. Objetivo	7
1.7. Organización de la tesis	7
1.8. Bibliografía	8
2. Diseño de dispositivos CMOS	9
2.1. Introducción	9
2.1.1. Semiconductores intrínsecos	10
2.1.2. Semiconductores extrínsecos	11
2.1.3. Conducción	12
2.1.4. Potencial de contacto	13
2.1.5. Unión <i>pn</i>	13
2.2. Transistores CMOS	17
2.2.1. Modelo de pequeña señal del transistor MOS en saturación	25
2.3. Teorema de Miller	31
2.4. Conclusiones	32
2.5. Bibliografía	33
3. Diseño de un amplificador operacional y etapa de adecuación de señal	35
3.1. Introducción	35
3.1.1. Primera etapa del OPAMP	36
3.1.2. Segunda etapa del OPAMP	36
3.1.3. Etapa de salida	37
3.2. OPAMP de dos etapas	37
3.2.1. Metodología de ajuste	37
3.2.2. Espejo de corriente	38
3.2.3. Amplificador diferencial	40
3.2.3.1. Carga de fuente de corriente	44
3.2.4. Etapa de fuente común	49

3.3. Diseño del OPAMP	52
3.3.1. Selección de dimensiones, voltajes y corrientes de polarización	53
3.3.2. Espejo de corriente	53
3.3.3. Par diferencial	54
3.3.4. Carga de fuente de corriente	55
3.3.5. Etapa de fuente común	55
3.3.6. Simulación y ajustes al modelo	55
3.3.7. Análisis del circuito de pequeña señal	60
3.3.8. Análisis de la respuesta en frecuencia	64
3.3.9. Caracterización del OPAMP	66
3.4. Adecuación de señal	69
3.5 Conclusiones	77
3.6 Bibliografía	78
4. Layout	79
4.1. Introducción	79
4.2. Elementos de diseño	79
4.3. Técnicas de eliminación de efectos parásitos	80
4.4. Micro sensor de gases “Elisa 2005”	81
4.5. Características térmicas del sensor de gases	82
4.6. Etapa de Amplificación	83
4.6. Conclusiones	97
4.7. Bibliografía	98
5. Conclusiones y trabajos futuros	99
A. Parámetros de simulación	101

Índice de tablas

1.1. Historia de los sensores de gases	3
3.1. Capacitancias de los MOSFET	62

Índice de figuras

1.1. Microfotografía de engranes miniaturizados	2
1.2. Capas de carga espacial de una superficie de ZnO	5
2.1. Semiconductores extrínsecos	12
2.2. Unión <i>pn</i>	14
2.3. Representaciones comunes del transistor CMOS	17
2.4. Corte seccional del transistor NMOS	17
2.5. Dispositivo NMOS, con un voltaje V_{GS} aplicado	18
2.6. Dispositivo NMOS con voltajes de polarización aplicados	19
2.7. Curvas características del transistor CMOS	19
2.8. Circuito equivalente de pequeña señal del transistor MOS	26
2.9. Descripción general de la Aproximación de Miller	31
3.1. Amplificador operacional de dos etapas con buffer de salida.....	36
3.2. Metodología de ajuste de parámetros	38
3.3. Configuración y representación de espejo de corriente	38
3.4. Amplificador diferencial con carga de fuente de corriente	41
3.5. Amplificador diferencial	41
3.6. Corrientes a través de un amplificador diferencial	46
3.7. Limitaciones de respuesta del amplificador diferencial.....	47
3.8. Capacitancias en el nodo de salida del amplificador diferencial	48
3.9. Amplificador diferencial con entrada común	49
3.10. Amplificador de fuente común con carga de fuente de corriente	50
3.11. Características en C.D. del amplificador de fuente común	50

3.12. Circuito de OPAMP de dos etapas diseñado mediante cálculos manuales ...	56
3.13. OPAMP con polarización en las entradas y puntas de prueba	56
3.14. Resultados de la simulación al circuito de la figura 3.12	57
3.15. Simulación en base a correcciones en base a polarización	58
3.16. Dimensiones y polarización del OPAMP en base a simulaciones	59
3.17. Salida del OPAMP debida a un barrido de voltaje de 0 a 5V en la entrada ..	60
3.18. Modelo de pequeña señal para el amplificador de dos etapas	61
3.19. OPAMP en configuración de seguidor de voltaje	64
3.20. Diagramas de Bode usando Orcad	65
3.21. Salida del OPAMP a una entrada rampa de 0 a 5V	66
3.22. Ganancia en modo común para una entrada que varía de 0 a 5V	67
3.23. Simulación v_{out} / v_{sin} y diagramas de Bode	68
3.24. Respuesta del OPAMP a una entrada escalón de 1V	68
3.25. Microsensor real de dimensiones 100 μ x 100 μ	69
3.26. Sistema de medición	69
3.27. Mediciones en la película sensora de ZnO	70
3.28. Variación de la resistencia y potencial del sensor	71
3.29. Diseño esquemático del Microcircuito	72
3.30. Circuito equivalente a la figura 3.26 con polarizaciones aplicadas	74
3.31. Voltajes de compensación	75
3.32. Voltajes de control	75
3.33. Potencial a la salida del sensor y salida del adecuador de señal	76
3.31. Resistencia, a) a la entrada y, b) a la salida del OPAMP	76
4.1. Micro sensor de gases “Elisa 2005”	82
4.2: Microcalefactor suspendido sobre un microfosfo	82
4.3: Simulación del comportamiento térmico del microcalefactor	83
4.4. Etapa de adecuación de señal	84
4.5: Layout OPAMP	85
4.6: Layout interruptores de control de ganancia	86
4.7: Mascarilla <i>nwell</i> del circuito de adecuación de señal	87
4.8: Mascarilla <i>nselect</i> del circuito de adecuación de señal	88
4.9: Mascarilla <i>pselect</i> del circuito de adecuación de señal	89
4.10: Mascarilla <i>active</i> del circuito de adecuación de señal	90
4.11: Mascarilla <i>active contact</i> del circuito de adecuación de señal	91
4.12: Mascarilla <i>poly</i> del circuito de adecuación de señal	92
4.13: Mascarilla <i>poly contact</i> del circuito de adecuación de señal	93
4.14: Mascarilla <i>metal 1</i> del circuito de adecuación de señal	94
4.15: Mascarilla <i>via</i> del circuito de adecuación de señal	95
4.16. Mascarilla <i>metal 2</i> del circuito de adecuación de señal	96

Tabla de acrónimos

En la siguiente tabla se muestran los acrónimos utilizados en esta tesis

Acrónimo	Descripción
A/D	Analógico a Digital (<i>Analogical to Digital</i>).
AMIS	American Micro Systems.
ASIC	Circuito Integrado de Aplicación Específica (<i>Specific Application Integrated Circuit</i>).
BJT	Transistor de unión Bipolar (<i>Bipolar Junction Transistor</i>).
C.A.	Corriente Alterna
C.D.	Corriente Directa
CGBO	Capacitancia de Traslape de Compuerta a Substrato (<i>Gate-Bulk Overlap Capacitance</i>).
CGDO	Capacitancia de Traslape de Compuerta a Drenador (<i>Gate-Drain Overlap Capacitance</i>).
CGSO	Capacitancia de traslape de Compuerta a Fuente (<i>Gate-Source Overlap Capacitance</i>).
CMOS	Semiconductor Complementario de Óxido de Metal (<i>Complementary Metal Oxide Semiconductor</i>).
CMR	Rechazo en Modo Común (<i>Common Mode Rejection</i>).
CMRR	Relación de Rechazo en Modo Común (<i>Common Mode Rejection Ratio</i>).
JFET	Transistor de Unión de Efecto de Campo (<i>Junction Field Effect Transistor</i>).
MEMS	Sistema Micro Electro Mecánico (<i>Micro Electro Mechanical Systems</i>).
MOSFET	Transistor de Efecto de Campo de Óxido Metálico (<i>Metal Oxide Semiconductor Field Effect Transistor</i>).
MOS	Semiconductor de Óxido Metálico. (<i>Metal Oxide Semiconductor</i>).
NMOS	Semiconductor Tipo n de Óxido Metálico (<i>Metal Oxide Semiconductor n type</i>).
OPAMP	Amplificador Operacional (<i>Operational Amplifier</i>).
PB	Potencial Ínterconstruido de la Unión Fuente y Drenador (<i>Built in Potential of Source Drain Junction</i>).
PBSW	Potencial Ínterconstruido de la Unión Pared de la Fuente y Drenador (<i>Built in Potential of Source Drain Junction Sidewall</i>).
PMOS	Semiconductor tipo p de Óxido Metálico (<i>Metal Oxide Semiconductor p type</i>).
PSRR	Relación de Rechazo de la Fuente de Alimentación (<i>Power Supply Rejection Ratio</i>).

Resumen

Esta tesis muestra una etapa de amplificación y adecuamiento de señal mediante el uso de amplificadores operacionales para un sensor de gases. El diseño se hace manualmente en base a un modelo de pequeña señal del MOSFET. Las configuraciones necesarias para el amplificador operacional se eligen de acuerdo a los requisitos del sensor, es decir, a las lecturas tomadas a la salida de éste.

El sensor se basa en una película de ZnO óxido-reductiva, depositada sobre una microplaca caliente en un microfoso que actúa como aislante térmico. Debido a su estructura entra en la categoría de micromáquinas. Gracias a la integración de etapas de adecuamiento de señal dentro del diseño, se dice que es inteligente.

Se asegura el correcto funcionamiento de la etapa de amplificación y adecuamiento de señal mediante técnicas de análisis de estabilidad como el lugar de las raíces, diagramas de bode y simulaciones computacionales.

El diseño de fabricación (layout) tiene características tales, que permite la eliminación de efectos parásitos debidos a temperatura, corrientes inducidas, defectos de fabricación, capacitancias parásitas, potenciales de contacto y gradientes de potencial entre otros.

Capítulo 1

Introducción.

1.1. MEMS

A pesar de ser conocidos desde 1960, se denominaron así a las Estructuras-Micro-Electro-Mecánicas en 1987, cuando se utilizó por primera vez este término en la ciudad de Salt Lake City, en una serie de talleres sobre microdinámica. Existen otras denominaciones como es el caso de Europa, donde son conocidos como Microsistemas [1.1, 1.5].

En años recientes, la evolución de estos dispositivos, ha sido exponencial, puesto que se emplean las mismas técnicas y procesos de fabricación que en los microcircuitos y éstas han presentado grandes mejoras en años recientes. El desarrollo de la tecnología de fabricación permite dimensiones cada vez mas pequeñas y una precisión mayor, por lo que se ha hecho posible su producción en masa, costo accesible y un alto grado de integración; llevando casi cualquier tipo de sistema a niveles microscópicos, tal y como se muestra en la figura 1.1.

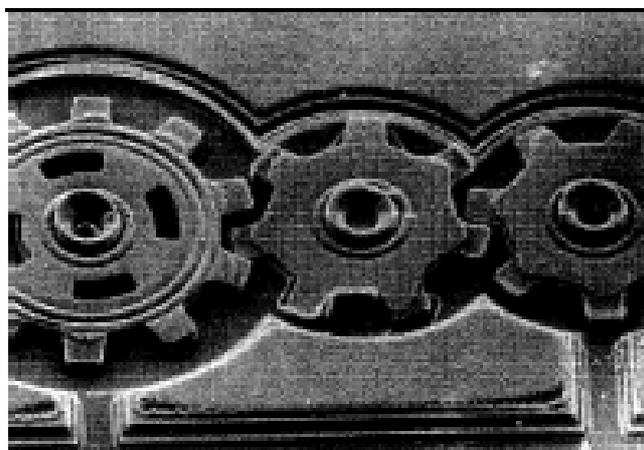


Figura 1.1: Microfotografía de engranes miniaturizados.

Los microsistemas pueden mejorar a los sistemas comunes, ya que permiten la introducción de MEMS con circuitos de sensado y control en un mismo proceso de fabricación, obteniendo un sistema integral con alto desempeño, bajo costo de fabricación, producción en masa, dimensiones reducidas, bajo peso y un escaso consumo de energía.

Existen sistemas que resultarían difíciles de miniaturizar, sin embargo se prevé la integración de micromáquinas a procesos ya existentes para mejorar su eficiencia, prevenir fallas, crear sensores mas precisos y tener un mayor número de éstos sin que implique requerir de mayor espacio. En áreas como la medicina, esto podrá revolucionar la forma en que las enfermedades son tratadas, puesto que las técnicas serán mucho menos invasivas, por tal motivo ésta área de estudio es investigada y se desarrolla a grandes pasos .

La aplicación de microestructuras en procesos donde es de vital importancia su incorporación, debido a la naturaleza de los mismos, se ha extendido y desarrollado ampliamente, como es el caso de los sensores de gases. Estos operan a temperaturas muy elevadas (entre 200 y 450 °C) y las microestructuras son utilizadas como aislantes térmicos para el resto de los dispositivos de control, medición y adecuación de señal, que operan a temperaturas no mayores a 85 °C [1.1].

1.2. Antecedentes de los sensores de gases

Las propiedades de sensado de gases en los semiconductores fueron descubiertas en la década de los 30's, cuando se observó que en presencia de algunos gases, se modificaban sus propiedades eléctricas, sin embargo no fue hasta que T. Seiyama en 1962 y N. Taguchi, en 1970 produjeron el primer sensor de gases de tipo químico resistivo [1.1, 1.2, 1.5, 1.6].

En el diseño de sensores químicos la selección de la película sensora es de vital importancia, puesto que sus características de estabilidad química permiten que sea posible repetir cierto número de veces una medición antes de efectuar una recalibración del sensor, por lo tanto, la degradación de la película sensora deberá ser extremadamente lenta.

Los sensores de gases son transductores que transforman una señal química en una señal eléctrica. Tienen un gran campo de acción en el área química, en la cual es posible cuantificar la cantidad de un gas en específico. Existen otras ramas donde pueden ser utilizadas, en química de alimentos o farmacéutico. Además, pueden ser utilizados como alarmas de incendio en caso de que existan gases nocivos, tales como el monóxido de carbono, ya que es incoloro, inodoro y mortal aún en muy bajas concentraciones.

Tabla 1.1: Evolución Historica de los sesores de gases [1.6].

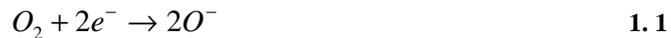
Año	Artículo, evento o desarrollo	Autor
1923	Sensor de combustión tipo catalítico.	Johnson
1930	Uso practico de un electrodo de cristal para la medición de pH.	Machines
1938	Sensor de humedad utilizando una película de liCl.	Dunmore
1952	Sensor de gas de celda galvánica.	Hersch
1957	Teoría de fuerza electromotriz de una célula sólida electrolítica.	Wagner
1961	Sensor sólido tipo electrolítico.	Weissburg & Ruka
1962	Electrodo iónico sensor.	Pungir
1962	Primer sensor tipo químico de gases.	Seiyama y Taguchi
1964	Sensor piezoeléctrico de cristal de cuarzo.	King
1964	Uso practico de un sensor de gas tipo termistor (Shigenshishiki).	Denshisoki Co.
1965	Uso práctico de un sensor tipo combustión catalítica.	Riken-Keiki Co.
1966	Sensor de glucosa.	Updike & hicks
1967	Uso práctico de un sensor de gas de óxido semiconductor.	Fiagaro Eng. Inc.
1967	Uso práctico de un sensor de electrodo de ion.	Metrimpex Co.
1970	ISFET	Bergfeld
1970	Sensor de gas de fibra óptica.	Harsick
1974	Uso practico de un sensor de gas electromecánico. (tipo potencioestático electrolítico)	Belanger
1975	Sensor de hidrógeno tipo compuerta Pd FET.	Lundtröm
1976	Uso práctico de un sensor de oxígeno para automóviles.	Bosch Co.
1976	Uso práctico de un sensor de oxígeno para automóviles.	Matsushita Elect. Ind. Co.
1976	Uso práctico de un sensor de compuerta Pd FET.	Lundtröm
1977	Sensor de enzimas tipo FET.	Janata
1982	Simposio de sensores de estado sólido (Badhomef).	
1983	Primera conferencia internacional de sensores químicos. (Fukuoka).	
1985	Uso práctico de ISFET.	Kuraray Co.
1986	Primera conferencia internacional de sensores químicos. (Burdeaux).	

1.3. Sensores de gases

El componente principal de un sensor de gases es la película sensora, existiendo infinidad de compuestos que pueden funcionar como tal, ya que sólo se requiere que exista variación de sus propiedades eléctricas en presencia de cierto gas y que la degradación de la película sea extremadamente lenta. Debido al bajo costo, el manejo seguro e implementación sencilla, se optara por la selección de los óxidos semiconductores, siendo el de mayor interés, para este trabajo, el ZnO de película delgada. [1.1-1.4].

El sensor de gases, del cual se tratará a lo largo de este trabajo, se compone de una película delgada a base de óxidos semiconductores, que trabaja a una temperatura de 300 °C para su correcto funcionamiento. A mayor energía calorífica, los electrones son cedidos más fácilmente por la película de ZnO, por lo tanto, al interactuar con gases reductores u oxidantes reacciona químicamente de una forma más eficiente, produciendo iones en la superficie de la película, atrapando o liberando electrones de forma superficial (Ec. 1.1). Debido a que la película es extremadamente delgada, las características eléctricas no se consideran volumétricas así, las características de conducción de dicha película se consideran superficiales, completamente afectadas por la formación de iones.

Un ejemplo de la interacción de la película sensora se muestra en las ecuaciones 1.1 y 1.2, donde, una especie de gas oxidante, en este caso oxígeno, cuya molécula se liga a dos electrones superficiales de la película de óxido semiconductor, da lugar a dos iones de oxígeno. En la ecuación 1.2 se puede ver que la interacción de monóxido de carbono con iones adheridos a la superficie de la película da como resultado bióxido de carbono y electrones libres, siendo un claro ejemplo de óxido-reducción:



Existen muchos otros agentes oxidantes y reductores, como es el caso del oxígeno y el hidrógeno. El oxígeno se liga a electrones superficiales y el hidrógeno inyecta electrones creando una acumulación de éstos en la superficie de la película, como puede verse en la figura 1.2a.

En términos de semiconductores, lo anterior, se traduce como un aumento o una disminución del voltaje de ruptura, es decir, un aumento o disminución del potencial superficial ψ_s en una región de carga espacial X_0 , como se muestra en la figura 1.2b. En este caso, el potencial superficial no es otra cosa que el potencial necesario que se debe aplicar a una película de semiconductor para dar lugar a una corriente eléctrica. En términos generales, se puede ver como una variación de la resistividad del material debido a la reacción química de la película con agentes oxidantes o reductores [1.0].

En la figura 1.2c se observa la concentración de electrones en la superficie de la película sensora, debida a las reacciones oxidantes o reductoras.

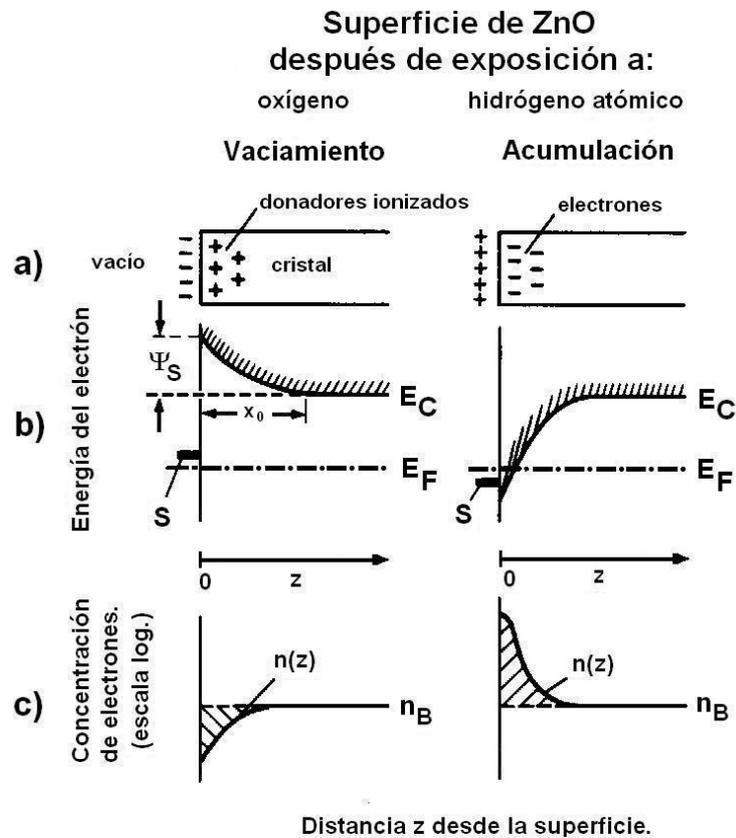


Figura 1.2: Capas de carga espacial de una superficie de ZnO [1.0]. a) Distribución de cargas, b) Esquema de bandas de límite de la banda de conducción. Y c) Concentración de electrones $n(z)$ en la banda de conducción.

Donde:

E_c = Límite de la banda de conducción.

E_F = Nivel de Fermi.

ψ_S = Potencial superficial.

X_0 = Región de carga espacial.

S = Estados superficiales por absorción de oxígeno o hidrógeno atómico aceptores o donadores respectivamente.

n_b = Concentración de electrones dentro de la masa.

1.4 Amplificación y adecuación de señal

El acondicionamiento de señal se refiere a las operaciones que se realizan sobre éstas para transfórmalas a una forma útil para la interconexión con otros elementos del ciclo de proceso y control. Para este diseño sólo se tratarán conversiones analógicas, donde la salida acondicionada seguirá siendo la representación análoga de la variable a medir.

El sensor mide la variable convirtiendo la información de la variable en una señal, que en este caso es eléctrica. Para diseñar los transductores se aprovechan circunstancias fortuitas de la naturaleza, donde la variable dinámica tiene influencia sobre otras características del material. Por ejemplo, la resistencia de las películas de ZnO presentan una variación inversa y no lineal, con la variación de la concentración de CO del medio en el que se encuentran, por lo tanto, se deben entender las implicaciones de utilizar un dispositivo de este tipo en el sensado de gases.

Es común describir el efecto de acondicionamiento de señal por medio del término *función de transferencia*. Mediante este término, se describe el efecto de acondicionamiento de señal que se efectúa sobre la señal de entrada, de esta forma, un simple amplificador de voltaje tiene una función de transferencia con valor de alguna constante, de tal forma que esta constante se multiplicará por el voltaje de entrada para obtener el voltaje de salida del acondicionador de señal.

Comúnmente el acondicionamiento es utilizado para convertir un tipo de variación eléctrica en otra. Existe un gran número de sensores que presentan cambios en su resistencia eléctrica con respecto a los cambios de la variable a medir, en este caso, es necesario proveer al sensor con un circuito capaz de convertir esta variación de resistencia en una señal de voltaje o corriente. Esto es generalmente, solucionado por puentes, y/o con amplificadores operacionales, cuya ganancia varía con respecto a la variación de la resistencia.

1.5. Amplificador operacional (OPAMP)

El amplificador operacional es comúnmente conocido como OPAMP (Operational Amplifier), se trata de una pieza fundamental en el diseño de circuitos integrados analógicos y en ocasiones en aplicaciones digitales, su función es obtener la diferencia entre dos señales en forma de voltaje y amplificarla, sea cual sea su naturaleza.

El OPAMP representa, en esencia, un circuito electrónico de alta ganancia, destinado a amplificar la diferencia entre los voltajes aplicados a sus dos terminales de entrada, comúnmente llamadas entradas inversora (-) y no inversora (+). Su utilidad, la gran variedad de configuraciones posibles, su adaptabilidad, bajo consumo y la facilidad de polarización, hacen de éste, un elemento casi imprescindible en cualquier aplicación analógica.

Debido a que la variación resistiva del sensor es no lineal con respecto a la variación de la concentración de CO, se recurre a un amplificador de ganancia variable, con el fin de obtener una señal de salida que cambie de forma proporcional con la concentración de gas a medir. Por lo tanto, la selección obvia es el OPAMP como medio para la amplificación y adecuación de señal del sensor de gases.

1.6. Objetivo

El objetivo de esta tesis es diseñar mediante tecnología de MEMS, una etapa de amplificación y adecuación de señal para un sensor de gases. La etapa de adecuación y amplificación debe contar con ciertas características, como son: bajo consumo y pequeñas dimensiones, entre otras. La etapa diseñada permite obtener una salida con una variación proporcional con respecto a la variación de la concentración de CO en el sensor. El fin de dicha etapa, es obtener una señal de voltaje con una variación deseada dentro un rango medible, puesto que el sensor, por si mismo, presenta una variación de su resistencia con respecto a la variación de la concentración y esta resistencia no se puede cuantificar fácilmente.

1.7. Organización de la tesis

Esta tesis se encuentra dividida en cinco capítulos y un apéndice. En el capítulo dos se lleva a cabo un estudio de los dispositivos CMOS, que va desde física de semiconductores hasta el MOSFET. En el capítulo tres se estudian y diseñan diversas configuraciones de transistores con el fin de construir un amplificador operacional bajo ciertas especificaciones. Una vez que se obtiene una configuración funcional del OPAMP se simula y se parametriza con el fin de asegurar su correcto funcionamiento. En el capítulo cuatro, se efectúa el diseño de contracción (LAYOUT) del OPAMP, con las menores dimensiones posibles y un diseño tal, que elimine la interacción de fenómenos externos. En el capítulo cinco se muestran las conclusiones y trabajos futuros. En el apéndice A, se muestran los parámetros bajo los cuales se efectuaron las simulaciones de los transistores MOS.

1.8. Bibliografía

- 1.1 José Luís González Vidal, Aplicación De Estructuras Micro-Electro-Mecánicas (MEMS) Con Tecnología CMOS Para Sensores De Parámetros Físicos, tesis de doctorado, CINVESTAV, 2006.
 - 1.2 S.M. Sze. Semiconductor Sensors, John Wiley & Sons, 1994.
 - 1.3 R.E. Baby, A. Bucari, M. Cabezas and N. E. Walsøe de Reca, "Monitoring with an Electronic Nose of Lindane and Nitrobenzene Contaminated Water", the international Journal of Environment Studies, Volume 1, 1998
 - 1.4 M. de la L. Olvera Amador, Sensores Químicos a Base del Semiconductor SnO₂, Tesis de doctorado, CINVESTAV-IPN, 1998.
 - 1.5 Stephen D. Senturia Microsystems Design, Kluwer Academia Publishers, 2000.
 - 1.6 Tetsuro Seiyama, Chemical Sensors Technology, Kodansha Ltd, Elsevier, 1998.
 - 1.7 Roy Morrison, "Semiconductor Gas Sensors", Sensors and Actuators, 2 (1982) 329-341.
 - 1.8 J. Vac. Sci. Techno. B, vol. 6, no. 6, pp 1809-1813, Nov-Dec 1988 American Institute of Physics.
 - 1.9 American Institute of Physics. IEEE Electron Devices Meeting, 1988 American Institute of Physics. 1986, pp 176-179.
 - 1.10 Microelectronics, An Integrated Approach. Roger T. Howe, Charles G. Sodini, Prentice Hall.
 - 1.11 Operation and Modelling of the MOS Transistor. Yannks P. Tsiviois.
 - 1.12 CMOS Circuit Design, Layout, and Simulation. R. Jacob Baker, Harry W. Li and David E. Boyce. Department of EE. Microelectronics Research Center. IEEE PRESS.
 - 1.13 Análisis y Diseño de Circuitos Integrados Analógicos. Paul R. Gray, Robert G. Meyer. Prentice Hall.
 - 1.14 J. L. Gonzalez-Vidal, Alfredo Reyes-Barranca y Wilfrido Calleja Arriaga, "Technological processes for Micro-Heater and Micro-Hot-Plate in the implementation of a MEM gas sensor", 2nd International Conference on Electrical and Electronics Engineering (ICEEE) and XI Conference on Electrical Engineering (CIE 2005), Mexico City, México, 7-9 de septiembre del 2005, 440-443.
 - 1.15 J. L. González-Vidal, Alfredo Reyes-Barranca, Wilfrido Calleja Arriaga, Juan Silva-F e I. Juárez, "Caracterización la interfase de Polisilicio-ZnO, para un microsensord de gases micromaquinado", *XXV Congreso Nacional Sociedad Mexicana De Ciencia y Tecnología de Superficies y Materiales*, Zacatecas, Zacatecas, 26-30 de septiembre del 2005.
 - 1.16 W. Calleja-Arriaga, et al, "CO Gas Sensor Based on a Doped ZnO Film with a Microhotplate/Floating-Gate MIS Structure", *MEMS and NEMS, AVS 52nd International Symposium*, Boston, MA, Estados Unidos, 30 de octubre-4 de noviembre del 2005.
-

Capítulo 2

Diseño de dispositivos CMOS

2.1. Introducción

El análisis y diseño de circuitos integrados dependen, en gran medida, de la utilización de modelos adecuados para los componentes de dichos circuitos, sin embargo; el análisis manual se lleva a cabo utilizando modelos bastante sencillos, siendo por ello, la simulación computacional el mejor método de aproximación a la realidad [2.7].

En el área de circuitos integrados es fundamental el conocimiento de algunos conceptos acerca de los semiconductores, denominados así, debido al hecho de que conducen la corriente mejor que los aislantes, pero no tan bien como los conductores. Dentro del área de diseño y fabricación, el semiconductor más ampliamente utilizado es el silicio.

La primera observación importante sobre semiconductores se debe a Michael Faraday en 1833, al percatarse de que éstos presentaban un decremento en resistencia con el aumento de la temperatura a diferencia de los metales donde la resistencia aumenta al incrementarse la temperatura. En 1839, Becquerel observó que al iluminar la superficie de ciertos materiales aparecía un potencial en sus extremos y en 1873, W. Smith experimentó con los efectos de reducción de la resistencia en el selenio al ser iluminado; fenómeno conocido como fotoconductividad. Un año más tarde, F. Braun se da a conocer que en ciertos materiales, la relación lineal entre el voltaje y la corriente, conocida como ley de Ohm, no se cumple, sino que ésta depende tanto de la magnitud, como de la polarización del voltaje aplicado. Es decir, se encuentra frente al fenómeno de rectificación; ahora se sabe que los semiconductores son aquellos elementos pertenecientes al grupo 14 de la tabla periódica, que cuentan con cuatro electrones en su capa de valencia y son ampliamente utilizados, encontrándolos en casi en cualquier maquina eléctrica y/o electrónica [2.1, 2.10, 2.13].

La más simple clasificación de los semiconductores es en base a la resistividad, se puede decir que cualquier material cuya resistividad está comprendida entre 10^{-14} y $10^{10} \Omega \cdot cm$ es un semiconductor, sin embargo, al pasar de una clase de substancias a otra (conductores, semiconductores y aislantes) no se observa una variación brusca del valor de la resistividad, por lo tanto, es difícil delimitar los materiales aislantes, semiconductores y los metales de esta forma. La clasificación mediante la relación de la resistividad contra temperatura, manifiesta una clara diferencia, siendo la resistividad proporcional a la temperatura en los metales y logarítmica en los semiconductores. Aparentemente el problema de la diferencia entre semiconductores y metales esta resuelto por el coeficiente de temperatura de la conductividad, empero, su elección se complica, ya que para condiciones establecidas, los semiconductores pueden comportarse como conductores. Por esto, el signo de la temperatura de la conductancia no siempre puede caracterizar simplemente la naturaleza de la substancia, la respuesta se encuentra en observar como varía la resistencia de ésta a la corriente eléctrica, puesto que los metales siempre cuentan con portadores libres sea cual sea la temperatura, y los semiconductores a temperaturas cercanas al cero absoluto, se comportan como dieléctricos, donde el numero de portadores libres depende directamente de la energía que se le comunique [2.8].

En lo subsecuente se entenderá que el semiconductor se encuentra en equilibrio, es decir, a temperatura ambiente uniforme ($27^{\circ}C$), sin esfuerzo mecánico, ni campos magnéticos presentes, sin iluminación, ni radiación de ningún tipo [2.5-2.9].

2.1.1. Semiconductores intrínsecos.

Se denomina semiconductor intrínseco a un cristal con un arreglo ordenado tridimensional de átomos de un mismo tipo de semiconductor, en este caso de silicio, donde átomos del arreglo comparten electrones de valencia [2.2, 2.5].

Los efectos de la temperatura sobre un semiconductor, se pueden comprender observando el comportamiento del material a una temperatura de cero absoluto, los electrones permanecen firmes en su lugar de modo que la carga positiva relativa al núcleo del átomo y la carga negativa asociada a los electrones se cancelan mutuamente. En el caso de que un átomo con carga neta cero se encuentre a alta temperatura, la vibración atómica generada por la energía térmica, llamado “movimiento térmico”, provoca que algunos electrones se desprendan de la capa de valencia, con lo que el átomo tendrá una carga neta positiva y se generaran “electrones libres”. Los electrones se desprenden del átomo al que estaban ligados y pueden moverse por la red cristalina de silicio, en caso de aplicarse una diferencia de potencial, el movimiento se ordena y se genera una corriente eléctrica [2.5,2.6].

Existen otras formas en las cuales se pueden mover cargas en un semiconductor, si un átomo pierde un electrón, adquiere una carga neta positiva, y entra en un estado de desequilibrio atrayendo un electrón de alguno de los átomos vecinos. El átomo vecino, al carecer de un electrón, adquirirá carga neta positiva y tomará un electrón de algún átomo cercano y así sucesivamente, por tal motivo se dice que existen cargas positivas en movimiento. El efecto anterior, puede ser coordinado aplicando una diferencia de voltaje, lo cual genera una corriente [2.5, 2.6, 2.11, 2.12, 2.13].

En resumen, existen dos formas principales de transportación de cargas en un semiconductor intrínseco, a) por medio de electrones libres, asociado a la transportación de cargas negativas y, b) por partículas ficticias, es decir, asociado a la transportación de huecos o vacancias en la capa de valencia, es decir a la transportación de cargas positivas.

2.1.2. Semiconductores extrínsecos

Los semiconductores extrínsecos son aquellos semiconductores intrínsecos o puros a los que se les ha agregado algún otro elemento como impurificante, este proceso se denomina impurificación y se realiza en función a lo que se desee incrementar, ya sea la carga neta positiva o la negativa, utilizando para ello distintos tipos de impurificante [2.5, 2.8, 2.9].

En el caso de que se desee incrementar la carga neta negativa (tipo n) del semiconductor, se impurificará al semiconductor con átomos con cinco electrones en su capa valencia (i. e. P o As). Estos átomos crearán enlaces con los átomos vecinos de Silicio, compartiendo cuatro de sus cinco electrones, quedando uno sin enlace (Fig. 2.1a). Éste electrón no estará firmemente unido a su átomo y la temperatura ambiente será suficiente para liberarlo de la capa de valencia, así, el semiconductor adquiere una carga neta negativa y se dice que el átomo impurificante adquirirá una carga neta positiva y de ahora en adelante se le considerará como un ión [2.6].

Considerando el caso opuesto, se desea que el semiconductor intrínseco adquiera una carga neta positiva (tipo p), se impurificará a la red cristalina con átomos con tres electrones en su capa de valencia (i. e. B o Al), por lo que todos sus electrones serán compartidos con los átomos vecinos de Silicio (Fig. 2.1b). Lo anterior, puede generar dos efectos: el primero es que el átomo dopante adquiera un electrón extra en su capa de valencia, teniendo carga neta negativa, y dado que este electrón está asociado a un átomo específico, no estará disponible para la conducción; el segundo, dado que un electrón se ha asociado a un átomo impurificante, existirá una vacante en la capa de valencia de un átomo de Silicio, creando un hueco y generando así, un movimiento de cargas positivas [2.6].

Los átomos capaces de “donar” un electrón, son denominados donadores (donor), mientras que los átomos que “aceptan” electrones en su capa de valencia, son denominados aceptores (aceptor) [2.5, 2.7, 2.8, 2.9].

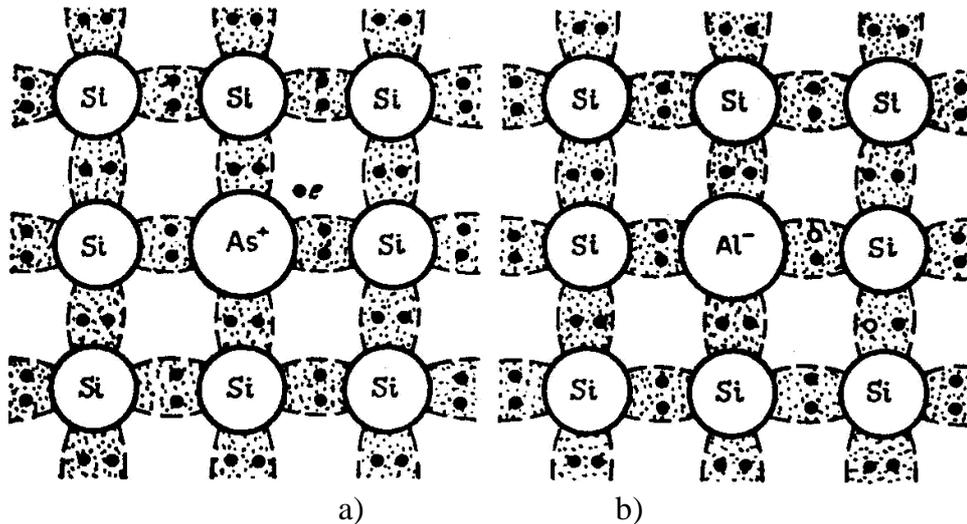


Figura 2.1: Semiconductores extrínsecos, a) tipo *n*, b) tipo *p*.

2.1.3. Conducción

Al aplicar una diferencia de potencial en los semiconductores, se puede obtener un flujo de corriente por movimiento de cargas positivas o negativas, sin embargo, este flujo o movimiento de electrones o de huecos a lo largo de un semiconductor, toma cierto tiempo en completarse, este tiempo se denomina “tiempo de tránsito”, concepto que se utilizará mas adelante, cuando se traten transistores CMOS [2.5, 2.6, 2.11].

Cuando se aplica una diferencia de potencial a un semiconductor, existen otros efectos en la conducción, esto es, se ejerce una fuerza sobre las partículas cargadas, generando un movimiento neto a lo largo de las líneas de campo, macroscópicamente se puede ver como un flujo de corriente, este fenómeno es llamado “deriva”, el cual no ocurre en partículas no cargadas [2.5, 2.6, 2.11].

El movimiento de electrones y huecos durante la deriva es un poco complicado, desde el momento en que aceleran en direcciones opuestas, chocando con los átomos de la red, pierden energía y aceleran nuevamente. La carga es transportada como paquetes de energía o de forma discreta y para casos prácticos, solo se tomará un promedio del movimiento como la corriente eléctrica [2.5, 2.6, 2.11].

2.1.4. Potencial de contacto.

Considerando que existen dos elementos diferentes: A_1 y A_2 y pudieran ser semiconductores o metales, en el momento en que estos dos elementos son unidos, se genera un movimiento de portadores de carga de un material hacia otro, debido a que la energía de dichos materiales es diferente en A_1 y A_2 . En un estado inicial, los materiales eran neutros, pero al realizarse el movimiento de portadores a través de la unión, los portadores dejan atrás cargas netas de polaridad opuesta. Por ejemplo: si un electrón cruza de A_1 a A_2 , dejará una carga neta positiva en A_1 , este cambio hará una contribución en el campo eléctrico, de tal forma que tratará de atraer al electrón de vuelta al material A_1 y eventualmente la intensidad del campo aumentará hasta el punto en que contrarreste la tendencia de los portadores a cruzar la unión y ningún otro portador cruzará. El campo eléctrico da lugar a una caída de potencial que va de A_1 a A_2 llamado potencial de contacto [2.5]. Un ejemplo es mostrado en la figura 2.2, con el caso de la unión *pn*.

El potencial de Fermi, es el potencial de contacto que se establece en la unión de un silicio intrínseco con otro silicio extrínseco en condiciones de equilibrio térmico, se define como el potencial que va del material intrínseco hasta el material extrínseco, debido a la redistribución de cargas, presentándose en una región cercana a la unión, donde el potencial cambia gradualmente; fuera de esta región, el potencial permanece exactamente igual que antes de la unión [2.5].

2.1.5. Unión *pn*.

Se denomina así a la impurificación selectiva de un semiconductor intrínseco, ya sea con impurezas tipo *n* en cierta región y con impurezas tipo *p* en una región adyacente (Fig. 2.2a). La unión de estos semiconductores produce lo que se conoce como una unión tipo *pn* (Fig. 2.2b), debido a la diferencia de las concentraciones de portadores de carga tipo *p* y tipo *n*, existe una región en la unión donde los huecos y electrones móviles se han retirado dejando los iones fijos de aceptores y donadores. Cada átomo aceptor adquiere una carga negativa y cada átomo donador una carga positiva, de tal forma que la región cercana a la unión es una región con una carga espacial significativa y un campo eléctrico alto, ésta se conoce como la *región de agotamiento* o la *zona de carga espacial* (z.c.e), mostrada en la figura 2.2c, donde se supone que los bordes de la región de agotamiento están claramente definidos, en la mayoría de los casos ésta es una buena aproximación [2.5, 2.8, 2.9].

En la figura 2.2 se puede apreciar que al momento de unir un material tipo p con un material del tipo n . Los electrones libres del material tipo n son ligados a los átomos aceptores del material tipo p , quedando iones positivos en el material tipo n , así como iones negativos en el material tipo p , generándose un *potencial íterconstruido* (ψ_0), que se muestra en la Figura 2.2d, el cual se deberá vencer para hacer circular una corriente. Este fenómeno es muy similar al de un capacitor, en el que existen dos placas paralelas con un dieléctrico entre ellas, en este caso, los materiales tipo p y tipo n actúan como placas positiva y negativa de un capacitor, mientras que la unión funcionará como dieléctrico. El efecto capacitivo es no deseado en la mayor parte de dispositivos, sin embargo es aprovechado para el funcionamiento de los transistores CMOS [2.5, 2.8, 2.9].

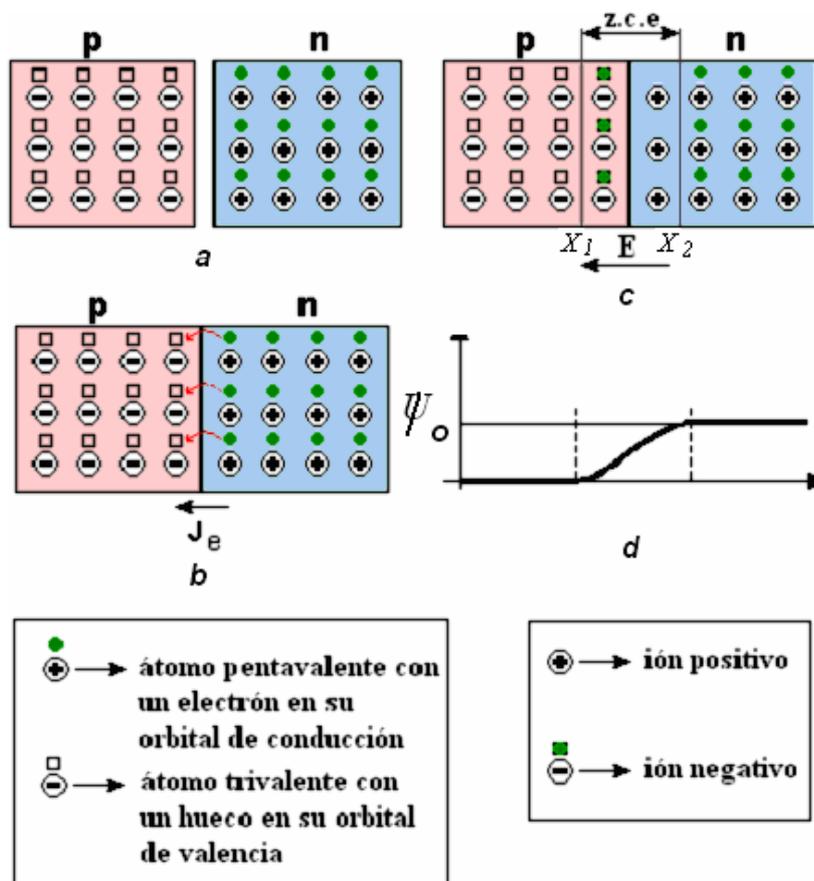


Figura 2.2: Unión pn , a) Semiconductores tipo n y p , b) Unión pn , c) Campo eléctrico y zona de carga espacial y d) Potencial íterconstruido.

El potencial íterconstruido se opone a la difusión de huecos y electrones móviles a través de la unión en equilibrio y tiene un valor de:

$$\psi_0 = V_T \ln \frac{N_A N_D}{n_i^2}, \quad 2.1$$

donde:

$$V_T = \frac{kT}{q} \cong 26mV \text{ a } 300^\circ K, \quad 2.2$$

n_i Concentración de portadores intrínsecos de carga, en una muestra de semiconductor puro, siendo para el silicio $1.5 \times 10^{10} \text{ cm}^{-3}$ a $300^\circ K$.

N_A y N_D Densidades constantes de dopado de N_A *atomos / cm³* para el material tipo *p* y N_D *atomos / cm³* para el material tipo *n*.

Si la región de agotamiento penetra una distancia X_1 en la región del tipo *p* y una distancia X_2 en la región tipo *n*, entonces:

$$X_1 N_A = X_2 N_D, \quad 2.3$$

tal que la carga total por unidad de área en cualquiera de los lados de la unión debe ser igual, pero con signo opuesto. Utilizando la ecuación de Poisson:

$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon} = \frac{qN_A}{\epsilon}. \quad 2.4$$

Debido a que X_1 es la distancia que penetra la región de agotamiento en el material tipo *p*, se considerará para $-X_1 < x < 0$, donde, ρ es la densidad de carga, q es la carga del electrón (1.6×10^{-19} *Coulomb*), y ϵ es la permitividad del silicio (1.04×10^{-12} *faradios / cm*). La permitividad se puede expresar como:

$$\epsilon = K_S \epsilon_0, \quad 2.5$$

donde K_S es la constante dieléctrica del silicio, y ϵ_0 es la permitividad del espacio libre (8.86×10^{-14} *faradios / cm*). De la integración de Poisson:

$$\frac{dV}{dx} = \frac{qN_A}{\epsilon} x + C_1, \quad 2.6$$

donde C_1 es una constante. Sin embargo, el campo eléctrico **E** dado por:

$$E = -\frac{dV}{dx} = -\left(\frac{qN_A}{\epsilon} x + C_1 \right). \quad 2.7$$

Dado que fuera de la región de agotamiento el campo eléctrico es cero, existe la siguiente condición límite:

$$E = 0 \text{ para } x = -X_1, \quad 2.8$$

substituyendo esta condición en 2.7 se obtiene:

$$E = \frac{qN_A}{\epsilon}(x + X_1) = -\frac{dV}{dx} \text{ donde } -X_1 < x < 0. \quad 2.9$$

En la fórmula anterior se puede observar que el campo eléctrico existente en la unión *pn* varía linealmente con la distancia, integrando 2.9 se obtendrá:

$$V = \frac{qN_A}{\epsilon} \left(\frac{x^2}{2} + X_1 x \right) + C_2, \quad 2.10$$

dada la condición límite anterior, se puede suponer que:

$$V = 0 \text{ para } x = -X_1. \quad 2.11$$

Debido a que el cero del potencial es tomado de manera arbitraria como el potencial de la región tipo *p* neutral, 2.10 se reescribe como:

$$V = \frac{qN_A}{\epsilon} \left(\frac{x^2}{2} + X_1 x + \frac{X_1^2}{2} \right) \text{ para } -X_1 < x < 0. \quad 2.12$$

En forma específica, trataremos con el substrato tipo *p*, por lo que tenemos:

$$V_p = \frac{qN_A}{\epsilon} \frac{X_1^2}{2}, \quad 2.13$$

para el material tipo *n* tenemos:

$$V_n = \frac{qN_D}{\epsilon} \frac{X_2^2}{2}. \quad 2.14$$

El voltaje total a través de la unión, con una polarización inversa V_R aplicada es:

$$\psi_0 + V_R = V_n + V_p = \frac{q}{2\epsilon} (N_A X_1^2 + N_D X_2^2). \quad 2.15$$

2.2. Transistores CMOS

Los transistores CMOS (*Complementary Metal Oxide Semiconductor*) también se denominan MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), presentan diferencias substanciales sobre los transistores bipolares tradicionales, los cuales tienen una señal de entrada en forma de corriente y una salida en forma de corriente, generando un consumo de energía innecesario a la entrada. El transistor CMOS trabaja bajo el principio de un capacitor, donde la señal de entrada se da en forma de voltaje y la señal de salida se da en forma de corriente, siendo mucho más eficiente que el tradicionalmente utilizado [2.33, 2.6, 2.11]. A continuación se explica el funcionamiento de dicho transistor.

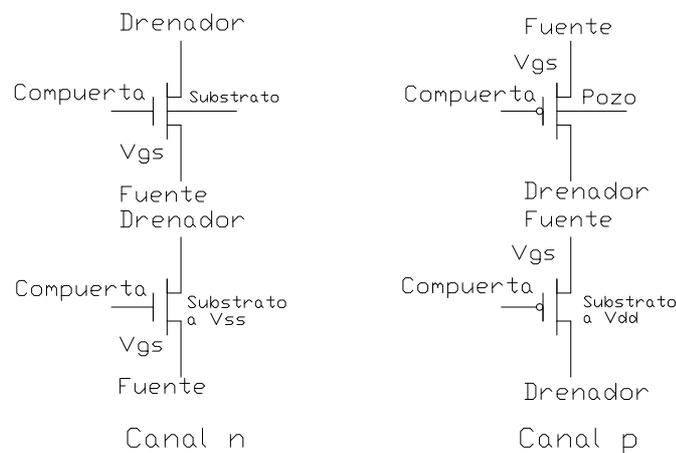


Figura 2.3: Representaciones comunes de los transistores CMOS.

Con fines explicativos, se utilizará el diagrama de la figura 2.4, donde se puede ver un corte seccional de un transistor NMOS, con sus terminales:

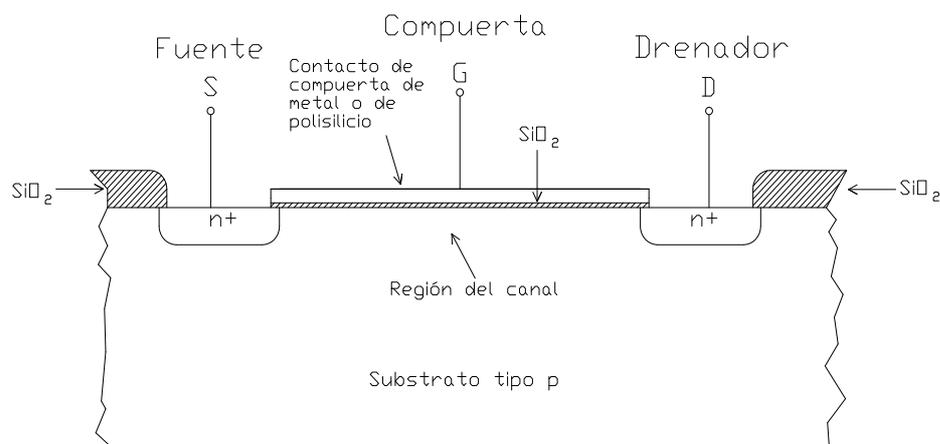


Figura 2.4: Corte seccional del transistor NMOS.

El transistor se polariza de la siguiente forma: se aplica un potencial en las terminales del drenador y de la fuente, el substrato (oblea de silicio) deberá encontrarse al mismo potencial que la fuente, el potencial de control se aplicará a la compuerta. La compuerta se encuentra separada por un dieléctrico del substrato para obtener un efecto capacitivo, cuyas placas serán el polisilicio y el substrato, este último formado por la oblea de silicio impurificada [2.5, 2.6, 2.7].

En el caso de que todos las terminales del transistor se encuentren a tierra, y solo la compuerta esté alimentada, el transistor se comportará como un capacitor, con un valor que dependerá del área de la compuerta y del espesor del dieléctrico. Se genera una región de agotamiento debido a que los electrones libres del material de la oblea de silicio impurificada (substrato) son atraídos hacia el dieléctrico (óxido), produciendo una delgada capa de electrones. De esta forma se crea una región continua tipo n entre la fuente y el drenador. Este canal puede ser modulado mediante incrementos o decrementos en el voltaje de la compuerta V_{GS} [2.5, 2.6, 2.7].

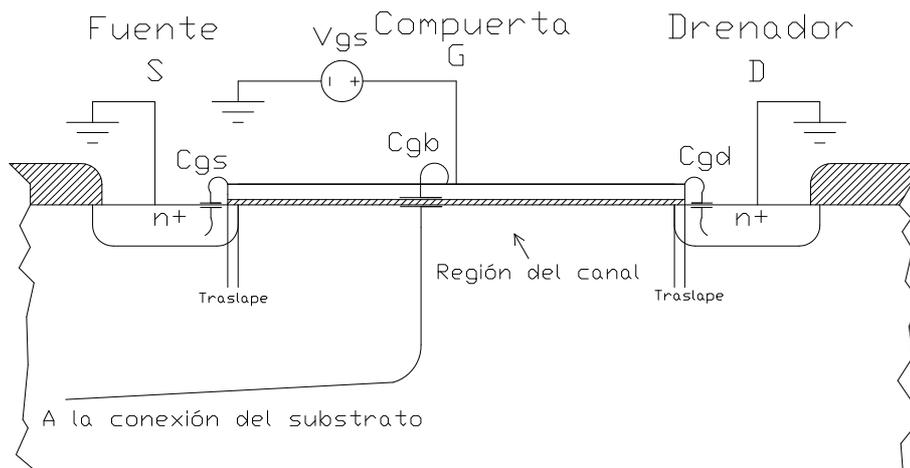


Figura 2.5: Dispositivo NMOS, con un voltaje positivo V_{GS} aplicado, mostrando las regiones de agotamiento y canal inducido.

Cabe resaltar que las regiones de fuente y drenaje están separadas por dos uniones pn , formadas por las regiones de fuente-substrato y substrato-drenaje, creando una resistencia en extremo alta cuando el dispositivo esta apagado.

El transistor CMOS puede trabajar como fuente de corriente o como interruptor de corriente, ambos controlados por voltaje. Para la región de saturación, existe un potencial interconstruido en la compuerta del transistor que se debe vencer para que se forme un canal de conducción, este potencial se denomina voltaje de ruptura. Cuando el voltaje de fuente a drenador V_{GS} rebasa el voltaje de ruptura V_{THN} se comienza a formar un canal entre fuente y drenador.

La curva de comportamiento del MOSFET polarizado de la figura 2.6, se muestra en la figura 2.7. Se observa que al aumentar V_{GS} , se incrementa la corriente I_D que fluye a través de las terminales de la fuente y el drenador. El caso de la región de triodo se da cuando $V_{DS} < V_{GS} - V_{THN}$ y la región de saturación se da en el caso de que $V_{DS} \geq V_{GS} - V_{THN}$. Para efectos prácticos, la saturación, se explica como un estrechamiento del canal (Fig. 2.6) y se considera una longitud de canal y más pequeña. Lo anterior, no es otra cosa que un aumento de electrones provenientes del potencial aplicado al drenador, por lo tanto, el canal que se formó debajo del óxido se amplía, reduciendo la resistencia eléctrica, aumentando I_D [2.7].

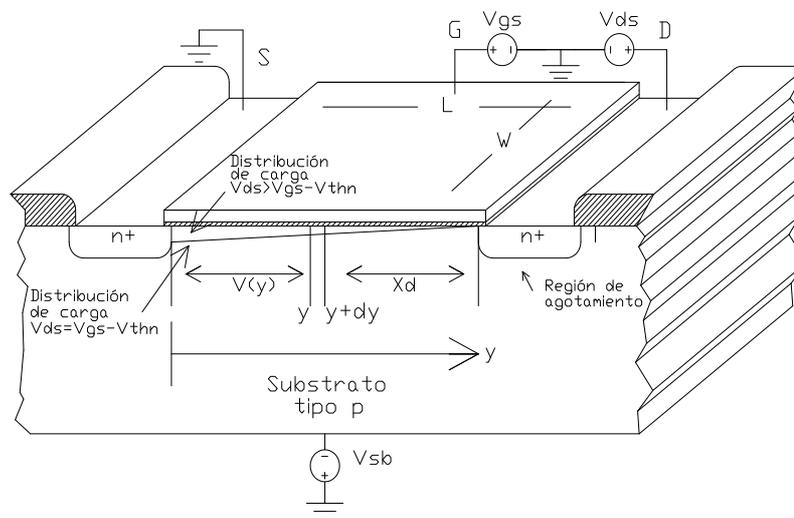


Figura 2.6: Dispositivo NMOS con voltajes de polarización aplicados.

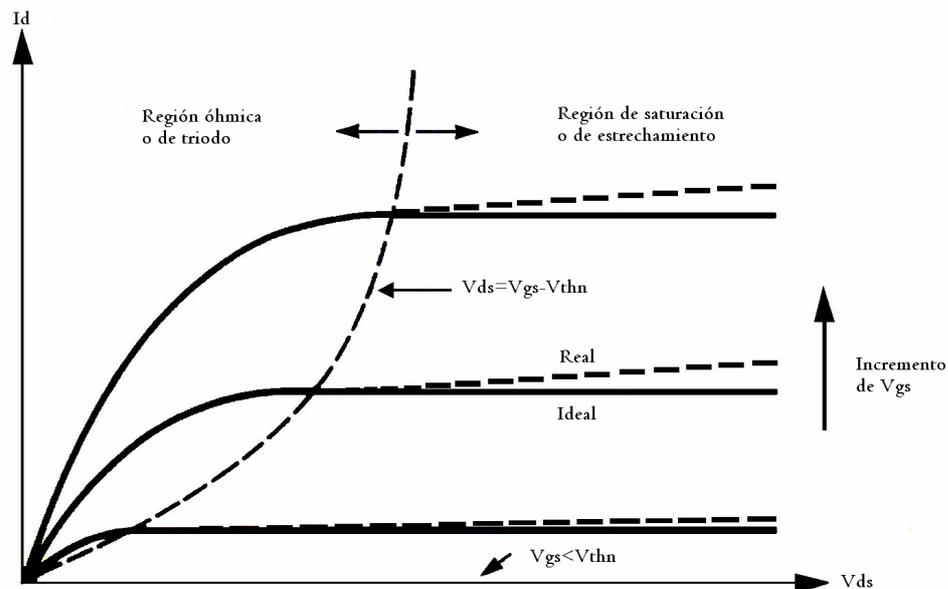


Figura 2.7: Curvas características del transistor CMOS.

En el caso de que el sustrato, la fuente y el drenaje se encuentran aterrizados y que existe un voltaje V_{GS} positivo aplicado a la compuerta como se muestra en la figura 2.5, se formara un canal inducido debajo de la compuerta. La compuerta y el sustrato forman entonces las placas del capacitor con el dieléctrico entre ellas (óxido), se acumula la carga positiva sobre la compuerta y la carga negativa en el sustrato (para un dispositivo tipo n). Inicialmente, la carga negativa del sustrato tipo p se manifiesta por la creación de la región de agotamiento y la exclusión correspondiente de huecos bajo la compuerta tal y como se describe en la unión pn que se observa en la figura 2.5.

Para determinar el ancho de la capa de agotamiento se hace uso de las ecuaciones 2.13 y 2.14, que describen el potencial en alguno de los materiales de la unión pn ; sí el dispositivo es $NMOS$ y por lo tanto el canal se induce en un sustrato tipo p , entonces:

$$V_p = \frac{qN_A X_1^2}{\epsilon} \frac{1}{2}, \quad 2.16$$

debido a que no se trata de una unión pn , ϕ se toma como el potencial de la capa de agotamiento en la interfase de óxido-silicio, la densidad de dopado en el sustrato tipo p es de N_A átomos / cm^3 (que se supone constante), q es la carga del electrón y ϵ es la permitividad del silicio. Despejando el ancho X de la capa de agotamiento bajo el óxido esta dada por:

$$X = \left(\frac{2\epsilon\phi}{qN_A} \right)^{1/2}. \quad 2.17$$

Si la densidad de carga por unidad de superficie es:

$$Q = qN_A X, \quad 2.18$$

Substituyendo X en 2.18 se obtiene:

$$Q = \sqrt{2qN_A\epsilon\phi}. \quad 2.19$$

Cuando el potencial en el silicio alcanza $\cong 0.3$ V, que es aproximadamente dos veces el nivel de Fermi ϕ_f , ocurre el fenómeno conocido como inversión; incrementos adicionales en el voltaje no producen cambios en el ancho de la capa de agotamiento, sino que se induce una capa delgada de electrones en la capa de agotamiento directamente por debajo del óxido, operando como un canal conductor entre la fuente y el drenador, modulado por el voltaje de la compuerta.

En presencia de una capa de inversión y sin polarización en el sustrato, la región de agotamiento contiene una carga fija:

$$Q_{b0} = \sqrt{2qN_A \epsilon 2\phi_f} \cdot \quad 2.20$$

Si se aplica un voltaje V_{SB} de polarización entre la fuente y el sustrato (positivo respecto a la fuente para dispositivos de canal n), el potencial requerido para producir la capa de inversión se convierte en $(2\phi_f + V_{SB})$ y en general la carga almacenada en la región de agotamiento será:

$$Q_{b0} = \sqrt{2qN_A \epsilon (2\phi_f + V_{SB})} \cdot \quad 2.21$$

El voltaje de compuerta V_{GS} requerido para producir una capa de inversión, se conoce como voltaje de umbral V_{THN} y puede calcularse. Este voltaje esta formado por varios componentes:

-Primero: para mantener la carga de la capa de agotamiento Q_b se requiere de un potencial $[2\phi_f + \phi_{ox}]$, donde $\phi_{ox} = (Q_b / C_{ox})$ y C_{ox} es la capacitancia por unidad de superficie del óxido de la compuerta y se expresa en $\frac{\text{Faradios}}{\text{m}^2} = \frac{\text{Coulomb}}{\text{Volt} \cdot \text{m}^2}$.

-Segundo: existe una función de diferencia de trabajo ϕ_{ms} entre el metal de la compuerta y el silicio (potencial íterconstruido).

-Tercero: siempre existe la densidad de carga Q_{SS} (positiva) en el óxido de silicio. Esto está causado por las discontinuidades en el cristal de la interfase $SiSiO_2$ y deberá ser compensado por una contribución en el voltaje de compuerta de $-Q_{SS} / C_{ox}$. Por lo tanto tenemos un voltaje de umbral:

$$V_{THN} = \phi_{ms} + 2\phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{SS}}{C_{ox}}, \quad 2.22$$

Haciendo uso de las ecuaciones 2.20 y 2.21 y simplificando mediante la suma y resta de $\frac{Q_{b0}}{C_{ox}}$ se tiene:

$$V_{THN} = V_{THN0} + \gamma \left(\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right), \quad 2.23$$

donde $V_{THN0} = \phi_{ms} + 2\phi_f$ es el voltaje de umbral a $V_{SB} = 0$,

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon N_A} \quad \text{y} \quad C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}, \quad 2.24$$

donde: ϵ_{ox} es la permitividad del óxido y t_{ox} es el espesor del óxido, un valor típico en γ es $0.5V^{1/2}$ y $C_{ox} = 3.5 \times 10^{-4} \text{ pF} / \mu\text{m}^2$ para $t_{ox} = 0.1 \mu\text{m}$.

En la práctica se ajusta el valor de V_{THN0} durante el proceso, implantando impurezas adicionales tipo p en la región del canal a fin de obtener $V_{THN0} = 0.5 \text{ a } 1.5V$ para dispositivos de modo incremental de canal n . Existen dispositivos decrementales, en los cuales existe un canal conductor aún para $V_{GS} = 0V$, lo cual se consigue mediante la implantación de impurezas tipo n en la región del canal, con valores típicos de $V_{THN0} = -1 \text{ a } -4V$. Si Q_i es la densidad de carga por unidad de superficie debido a la implantación, entonces el voltaje de umbral, dado por 2.22 es desplazado aproximadamente Q_i / C_{ox} .

Las ecuaciones anteriores pueden ser utilizadas para calcular las características de gran señal de un transistor NMOS. En el siguiente análisis se tendrá en cuenta que la fuente se encuentra aterrizada y se aplican voltajes de polarización V_{GS} , V_{DS} y V_{SB} , como se muestra en la figura 2.6.

En caso de que V_{GS} sea mayor que V_{THN} , se creará un canal conductor y V_{DS} originará una corriente I_D , que fluye a través de este canal del drenaje a la fuente. El voltaje V_{DS} provoca una polarización inversa del drenador al sustrato, mayor que la existente de la fuente al sustrato y por lo tanto en el drenaje existe una región de agotamiento mas ancha. Sin embargo, por razones de simplicidad se supone que la caída de voltaje a lo largo del canal mismo es pequeña y la capa de agotamiento es constante.

A cierta distancia y a lo largo del canal de conducción formado, el voltaje con respecto a la fuente es $V(y)$, y en este punto, el voltaje compuerta-canal es $V_{GS} - V(y)$, suponiendo que éste voltaje sea mayor que el de umbral V_{THN} , la carga de electrones por unidad de superficie en el canal será:

$$Q_1(y) = C_{ox} [V_{GS} - V(y) - V_{THN}]. \quad 2.25$$

La resistencia diferencial de una región de longitud dy y ancho W esta dada por:

$$dR = \frac{1}{\mu_n Q_I(y) W} dy, \quad 2.26$$

donde: μ_n es el promedio de la movilidad del electrón ($cm^2/V \cdot seg$). μ_n es la relación entre la velocidad del electrón (cm/seg) y el campo eléctrico (V/cm); en el caso de los dispositivos de pequeño canal, la movilidad disminuye en el punto en que la velocidad de los portadores comienza a saturarse, aumentando la resistencia efectiva y disminuyendo la corriente de drenador.

El voltaje diferencial a lo largo del canal será:

$$dV(y) = I_D \cdot dR = \frac{I_D}{W \mu_n Q_I(y)} \cdot dy. \quad 2.27$$

Si L es la longitud total, sustituyendo 2.25 en 2.27 y con la integración correspondiente se obtiene que:

$$\int_0^L I_D dy = \int_0^{V_{DS}} W \mu_n C_{ox} (V_{GS} - V - V_{THN}) dV, \quad 2.28$$

el resultado es:

$$I_D = \frac{\mu_n C_{ox} W}{2} \frac{1}{L} [2(V_{GS} - V_{THN})V_{DS} - V_{DS}^2]. \quad 2.29$$

Se puede definir un parámetro de transconductancia KP_n para un transistor tipo n como:

$$KP_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \left(\frac{A}{V^2} \right), \quad 2.30$$

tal que:

$$I_D = \frac{KP_n W}{2} \frac{1}{L} [2(V_{GS} - V_{THN})V_{DS} - V_{DS}^2]. \quad 2.31$$

Se debe observar que existe un voltaje de compuerta V_{GS} requerido para producir una capa de inversión, $V_{GS} \geq V_{THN}$ y que será válido sólo para la región de triodo $V_{DS} < V_{GS} - V_{THN}$. Conforme se incrementa V_{DS} y se acerca al valor de $V_{GS} - V_{THN}$, el canal inducido se estrecha en el extremo del drenaje, al punto en que Q_I se aproxima a cero, y por lo tanto, cualquier incremento en V_{DS} produce cambios muy pequeños en I_D . Las ecuaciones para la región de saturación $V_{DS} \geq V_{GS} - V_{THN}$ se obtienen al substituir $V_{DS} = (V_{GS} - V_{THN})$, obteniendo:

$$I_D = \frac{KP_n}{2} \frac{W}{L} (V_{GS} - V_{THN})^2. \quad 2.32$$

Es necesario comprender que aumentos excesivos en V_{DS} , producirán la destrucción del dispositivo.

La corriente de drenaje en la región de estrechamiento varía ligeramente conforme varía el voltaje del drenaje. Esto se debe a la presencia de una región de agotamiento en el canal, en el extremo del drenaje y la región misma del drenaje. Si X_d es el ancho de esta capa de agotamiento, entonces la longitud eficaz del canal está dada por:

$$L_{ef} = L - X_d. \quad 2.33$$

Si en la ecuación 2.32 se utiliza L_{ef} en lugar de L , para la región de estrechamiento, se obtendrá una fórmula más precisa:

$$I_D = \frac{KP_n}{2} \frac{W}{L_{ef}} (V_{GS} - V_{THN})^2. \quad 2.34$$

El ancho de la capa de agotamiento aumenta al incrementarse V_{DS} , este efecto se denomina modulación de longitud de canal, por lo tanto X_d y L_{ef} son funciones de V_{DS} , tal que I_D varía con relación a V_{DS} . Derivando 2.34 con respecto a V_{DS} :

$$\frac{\partial I_D}{\partial V_{DS}} = -\frac{KP_n}{2} \frac{W}{L_{ef}^2} (V_{GS} - V_{THN})^2 \cdot \frac{dL_{ef}}{dV_{DS}}, \quad 2.35$$

se tiene:

$$\frac{\partial I_D}{\partial V_{DS}} = I_D \cdot \left[\frac{1}{L_{ef}} \frac{dX_d}{dV_{DS}} \right], \quad 2.36$$

y es común definir:

$$\lambda_c = \frac{1}{L_{ef}} \frac{dX_d}{dV_{DS}}, \quad 2.37$$

donde λ_c es el parámetro de modulación de longitud de canal, típicamente está en el rango de 0.1 para dispositivos de canal corto, 0.005 para dispositivos de canal largo, asumiéndose 0 para aplicaciones digitales. Estos valores se obtienen de manera experimental, cambiando de acuerdo a la tecnología que se utilice y al diseño del dispositivo. La distribución de campo en la región del drenaje no es en una dimensión, influyen también tanto la diferencia de potencial entre la compuerta y el canal, como entre la compuerta y el drenaje, introduciendo con ello una componente perpendicular a la distribución del campo, por lo que se desarrollan valores efectivos a partir de datos experimentales. Introduciendo este parámetro, la ecuación 2.34 puede ser reescrita como:

$$I_D = \frac{KP_n}{2} \frac{W}{L} (V_{GS} - V_{THN})^2 \left[1 + \frac{1}{\lambda_c} (V_{DS} - V_{DS,sat}) \right], \quad 2.38$$

lo cual define las características $I - V$ del dispositivo MOS.

2.2.1 Modelo de pequeña señal del transistor MOS en saturación

Anteriormente, se encontraron las ecuaciones para gran señal, en lo subsecuente se analizarán las ecuaciones del MOSFET en la región de saturación o estrechamiento total. Retomando las ecuaciones 2.37 y 2.23, de 2.23 denota que el voltaje V_{SB} fuente-substrato afecta a V_{THN} , debido a que el substrato actúa como una segunda compuerta, este efecto se denomina efecto de cuerpo. En consecuencia, I_D es una función de V_{GS} y de V_{SB} , por lo que en el modelo de pequeña señal se hace uso de dos generadores de trasconductancia (dos fuentes de corriente controladas por voltaje). Las variaciones en V_{SB} hacen que fluya la corriente $G_{mb} V_{bs}$ del drenador al substrato. El substrato de un dispositivo tipo n siempre se encuentra conectado al voltaje de alimentación mas negativo. En lo subsecuente, se despreciarán las resistencias por contacto y las componentes parásitas de C.A. en la alimentación.

Los parámetros de la figura 2.8 muestran el circuito equivalente de pequeña señal de un MOSFET.

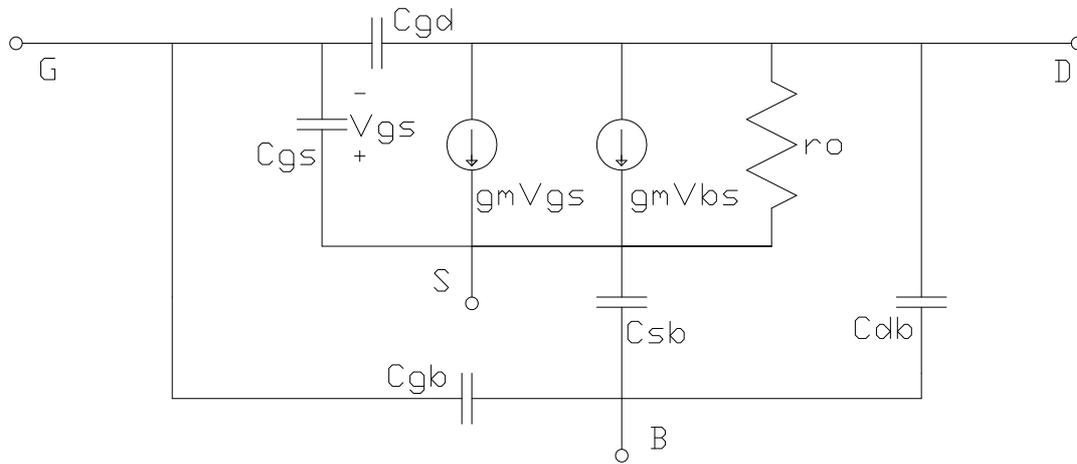


Figura 2.8: Circuito equivalente de pequeña señal del transistor MOSFET

La transconductancia del circuito representado en la figura 2.8, se determina a partir de la diferenciación de la ecuación 2.38:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = KP_n \frac{W}{L} (V_{GS} - V_{THN})(1 + \lambda V_{DS}), \quad 2.39$$

donde $\lambda = \frac{1}{\lambda_c}$. Si $\lambda V_{DS} \ll 1$, entonces:

$$g_m = KP_n \frac{W}{L} (V_{GS} - V_{THN}) = \sqrt{2KP_n \frac{W}{L} I_D}, \quad 2.40$$

de esta forma, la transconductancia del dispositivo MOS depende de la corriente de polarización y de la relación W/L (también del espesor del óxido vía KP_n).

De manera similar, la transconductancia debida a la polarización del substrato será:

$$g_m = \frac{\partial I_D}{\partial V_{BS}} = -KP_n \frac{W}{L} (V_{GS} - V_{THN})(1 + \lambda V_{DS,sat}) \frac{\partial V_{THN}}{\partial V_{BS}}. \quad 2.41$$

De 2.23 se sabe que:

$$\frac{\partial V_{THN}}{\partial V_{VS}} = -\frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} = -x_{thb}, \quad 2.42$$

donde se introduce un parámetro x_{thb} , que es igual a la relación de cambio de voltaje de umbral en relación al voltaje de polarización del cuerpo.

La capacitancia por unidad de área, se define por la capacitancia de la región de agotamiento, de tal forma que existe una carga Q dependiente del voltaje, asociada con la región de agotamiento. La capacitancia a pequeña señal C_j se calcula como:

$$C_j = \frac{dQ}{dV_R} = \frac{dQ}{dX_1} \frac{dX_1}{dV_R}, \quad 2.43$$

donde:

$$dQ = A_q N_A dX_1, \quad 2.44$$

siendo A el área de la sección transversal de la unión.

Es necesario conocer la razón de cambio en el ancho de la capa de agotamiento en la región tipo p con respecto al voltaje de polarización para determinar la capacitancia asociada al cálculo de pequeña señal, substituyendo 2.3 en 2.15 se obtiene:

$$\psi_0 + V_R = \frac{qX_1^2 N_A}{2\epsilon} \left(1 + \frac{N_A}{N_D} \right). \quad 2.45$$

Despejando la penetración de la capa de agotamiento X_1 en la región tipo p :

$$X_1 = \left[\frac{2\epsilon(\psi_0 + V_R)}{qN_A \left(1 + \frac{N_A}{N_D} \right)} \right]^{1/2}. \quad 2.46$$

Derivando 2.46 con respecto a V_R . La razón de cambio es:

$$\frac{dX_1}{dV_R} = \left[\frac{\epsilon}{2qN_A \left(1 + \frac{N_A}{N_D}\right) (\psi_0 + V_R)} \right]^{1/2} \cdot \quad 2.47$$

La ecuación anterior fue derivada para el caso de la polarización inversa V_R aplicada al diodo, sin embargo, es válida para voltajes de polarización positivos, siempre que el flujo de corriente directa sea pequeño.

Si V_D representa la polarización en la unión (positivo para la polarización directa y negativo para la polarización inversa), la capacitancia se encontrará utilizando 2.46 y 2.47 en 2.54 donde $V_D = -V_R$:

$$C_j = A \left[\frac{q\epsilon N_A N_D}{2(N_A + N_D)} \right]^{1/2} \frac{1}{\sqrt{\psi_0 - V_D}} \quad 2.48$$

$$= \frac{C_{j0}}{\sqrt{1 - \frac{V_D}{\psi_0}}}, \quad 2.49$$

donde C_{j0} es el valor de C_j para $V_D = 0$, suponiendo un dopado constante en las regiones de tipo p y tipo n , sin embargo, en uniones difusas se utilizan dopados graduales.

El parámetro de relación de cambio de voltaje de umbral con respecto al voltaje de polarización del cuerpo x_{thb} , se encontrará substituyendo 2.24 en 2.42 y utilizando 2.48, tal que $x = C_{js} / C_{ox}$, donde, C_{js} es la capacitancia por unidad de área en la región de agotamiento debajo del canal, suponiendo una unión con un potencial interconstruido $\psi_0 = 2\phi_f$.

Con la substitución de 2.42 en 2.41 se obtiene la transconductancia:

$$g_m = \frac{\gamma K P_n \frac{W}{L} (V_{GS} - V_{THN})(1 + \lambda V_{DS})}{2\sqrt{2\phi_f + V_{SB}}}, \quad 2.50$$

en el caso de que $\lambda V_{DS} \ll 1$:

$$g_m = \frac{\gamma \sqrt{KP_n \frac{W}{L} I_D}}{\sqrt{2(2\phi_f + V_{SB})}}. \quad 2.51$$

Un valor importante es la relación:

$$\frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} = x_{mb}. \quad 2.52$$

La resistencia de salida en pequeña señal se obtiene de:

$$r_0 = \left(\frac{\partial I_D}{\partial V_{DS}} \right)^{-1} = \frac{L_{ef}}{I_D} \left(\frac{dX_d}{dV_{DS}} \right)^{-1}, \quad 2.53$$

utilizando 2.37:

$$r_0 = \frac{\lambda_c}{I_D} \quad 2.54$$

C_{sb} y C_{db} son capacitancias parásitas de la región de agotamiento entre el sustrato y las regiones de la fuente y drenaje, respectivamente, utilizando 2.48 y 2.49 se pueden expresar como:

$$C_{sb} = \frac{C_{sb0}}{\left(1 + \frac{V_{SB}}{\psi_0} \right)^{1/2}}, \quad 2.55$$

$$C_{db} = \frac{C_{db0}}{\left(1 + \frac{V_{DB}}{\psi_0} \right)^{1/2}}, \quad 2.56$$

si C_{ox} es la capacitancia del óxido por unidad de área de la compuerta del canal, entonces la capacitancia total por debajo de la compuerta es $C_{ox}WL$. Esta capacitancia es intrínseca a la operación del dispositivo, se divide de igual forma entre la fuente y el drenaje, de forma que $C_{gs} = C_{gd} = 1/2 C_{ox}WL$.

Cabe observar que durante la saturación, el canal se estrecha en el extremo del drenador y el potencial del drenador ejerce poca influencia, ya sea sobre el canal o sobre la carga de la compuerta, consecuentemente C_{gd} es esencialmente cero y su valor depende de una contribución parásita constante de la capacitancia del óxido, debido al traslape en la región de compuerta sobre la región de drenaje.

El valor de C_{gs} , en la región de saturación, se debe calcular a partir de la carga total almacenada en el canal a partir de integrar 2.25:

$$Q_T = WC_{ox} \int_0^L [V_{GS} - V(y) - V_{THN}] dy. \quad 2.57$$

Substituyendo para dy/dV de la ecuación 2.28 en 2.57:

$$Q_T = \frac{W^2 C_{ox}^2 \mu_n}{I_D} \int_0^{V_{GS} - V_{THN}} (V_{GS} - V - V_{THN})^2 dV, \quad 2.58$$

donde los límites corresponden a $y = L$ y a $V = (V_{GS} - V_{THN})$ en saturación, mediante la solución de 2.58 y el uso de 2.30 y 2.32 se obtiene:

$$Q_T = \frac{2}{3} WLC_{ox} (V_{GS} - V_{THN}), \quad 2.59$$

por lo tanto:

$$C_{gs} = \frac{\partial Q_T}{\partial V_{GS}} = \frac{2}{3} WLC_{ox}. \quad 2.60$$

Se debe considerar que existe un traslape de la compuerta sobre la región de la fuente, propiciando con ello una capacitancia parásita, sin embargo en cálculos manuales es comúnmente despreciada.

El circuito equivalente al transistor CMOS (Fig. 2.8), muestra una entrada que no se encuentra conectada directamente al circuito, esto se debe a que es un dispositivo controlado únicamente por voltaje, siendo g_m una ganancia de V_{gs} en forma de corriente.

2.3. Teorema de Miller

Cualquier impedancia que se encuentra conectada entre la salida y la entrada de un amplificador de voltaje será dividida en dos, una correspondiente a la entrada y otra a la salida. La impedancia de entrada se multiplica por un factor de $(1 - A_v)$ y la de salida por un factor $(1 - A_v^{-1})$, donde, A_v es la ganancia del amplificador. Las componentes capacitivas de la impedancia de entrada Z_{in} y la de la impedancia de salida Z_{out} , se conocen como capacitancias de Miller y se suponen localizadas entre la entrada y la tierra y entre la salida y tierra respectivamente, como se muestra en la figura 2.9 [2.4].

Lo anterior, se conoce también como Aproximación de Miller debido a que se asume que la corriente de retroalimentación es pequeña. Bajo la mayor parte de situaciones ésta es una excelente aproximación [2.4].

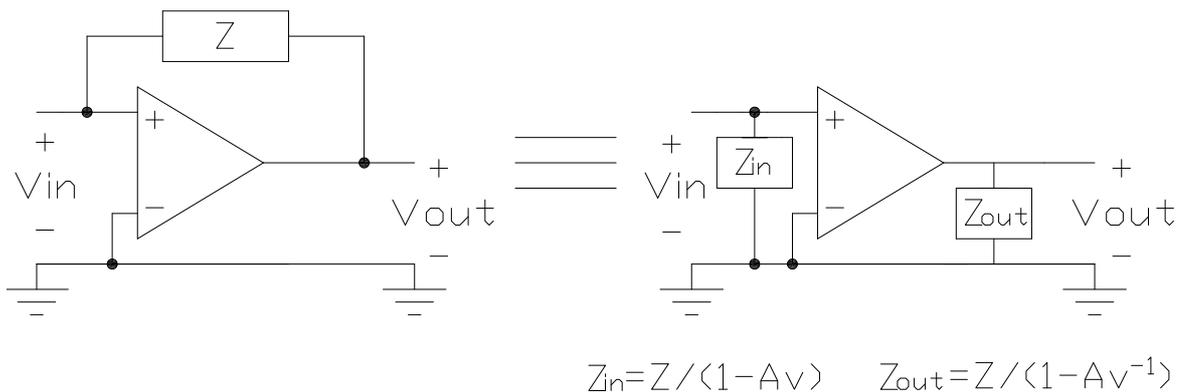


Figura 2.9: Descripción general de la Aproximación de Miller.

Examinando las implicaciones físicas de la Aproximación de Miller, se observa que la impedancia se multiplica por (aproximadamente) la ganancia de voltaje del amplificador. La capacitancia tiene un efecto mayor debido a que el voltaje es amplificado en una terminal del capacitor. Por lo tanto, la carga que se debe suministrar a dicho capacitor es mucho mayor que la carga que se requeriría si el capacitor estuviera simplemente conectado entre la entrada y la tierra física. La Aproximación de Miller obtiene el valor efectivo del capacitor que se encuentra conectado entre la salida y la entrada del amplificador de voltaje y lo coloca entre la entrada y la tierra física. El valor efectivo del capacitor es mucho mayor que el valor original, puesto que se incrementa el voltaje que cruza a través de él, debido a la amplificación [2.4].

2.4. Conclusiones

Las fórmulas anteriores muestran el comportamiento de los dispositivos MOS mediante fórmulas sencillas. En el diseño manual, se utilizan cálculos más simples, dependiendo de pocos factores y de las dimensiones del transistor, fungiendo como una guía. En la simulación, se utilizan gran cantidad de factores y fórmulas complejas.

Debido a que los transistores CMOS tienen una ganancia g_m con respecto a V_{gs} en forma de corriente, existen límites de conducción y alimentación, acotados por el valor del potencial V_{DS} . La señal de entrada deberá ser estar acotada, de tal forma que al ser amplificada por la ganancia no rebase los límites de conducción de corriente, ni los límites de alimentación. En caso de que el voltaje de compuerta y/o el voltaje V_{DS} rebasen dichos límites, se podría dañar el transistor o deformar la señal al grado de convertir el transistor en un interruptor; este tipo de entrada acotada se denomina entrada de pequeña señal.

Existen otros fenómenos asociados a estos dispositivos, que por lo general son indeseables para el usuario. En el caso de que el área de la compuerta sea demasiado grande, la capacitancia aumentará y por lo tanto las señales que estén por arriba de cierta frecuencia serán atenuadas. En caso de que la longitud del canal sea demasiado corta, tendremos fenómenos de conducción por “deriva”.

Este capítulo permite determinar las dimensiones de los transistores CMOS, las cuales dependen de la polarización y de la corriente necesarias para la aplicación, pudiendo determinar las características de conducción debidas al diseño.

2.5. Bibliografía

- 2.1 José Lu3s Gonz1lez Vidal, Aplicaci3n de estructuras micro-electro-mec1nicas (MEMS) con tecnolog3a CMOS para sensores de par1metros f3sicos, Tesis de doctorado, CINVESTAV, 2006.
 - 2.2 J. Vac. Sci. Techno. B, vol. 6, no. 6, Nov-Dic 1988, pp 1809-1813.
 - 2.3 American Institute of Physics. IEEE Electron Devices Meeting, 1986, pp 176-179.
 - 2.4 Roger T. Howe y Charles G. Sodini, Microelectronics, an integrated approach, Prentice Hall. A3o 1997.
 - 2.5 Yannks P. Tsiviois, Operation and Modeling of the MOS Transistor.
 - 2.6 R Jacob Baker, Harry W. Li and David y E. Boyce, CMOS Circuit Design, Layout, and Simulation. Department of EE. Microelectronics Research Center. IEEE PRESS. A3o 1998.
 - 2.7 Paul R. Gray, An1lisis y Dise3o de Circuitos Integrados Anal3gicos. Robert G. Meyer. Prentice Hall. A3o 1993.
 - 2.8 M.V. Shalimova, F3sica de los Semiconductores, Editorial Mir. 1975.
 - 2.9 E.F. Shubert. Rensseler Polytechnic Institute. Troy, New York. 2005.
 - 2.10 Physical Foundations of Solid-State Devices. E. F. Schubert. Rensseler Polytechnic Institute. Troy, New York. 2005 Edition.
 - 2.11 An1lisis y Dise3o de Circuitos Integrados Anal3gicos. Paul R. Gray, Robert G. Meyer. Prentice Hall.
 - 2.12 Design of Analog CMOS Integrated Circuits. Behzad Razavi Professor of Electrical Engineering. University of California, Los Angeles. 2001. McGraw-Hill Higher Education.
 - 2.13 Victor Giurgiutiu, Sergey Edgard Lyshevsk, MICROMECHATRONICS. Modelling, Analysis, and Design with MATLAB[®], CRC PRESS.
-

Capítulo 3

Diseño de un amplificador operacional y etapa de adecuación de señal

3.1. Introducción

El amplificador operacional es comúnmente conocido como OPAMP (*Operational Amplifier*), se trata de una pieza fundamental en el diseño de circuitos integrados analógicos y en ocasiones en aplicaciones digitales, su función es obtener la diferencia entre dos señales en forma de voltaje, sea cual sea su naturaleza. Puede ser modificado para realizar la suma, integración, diferenciación y logaritmo, resultando en las aplicaciones más conocidas, que son: amplificador inversor o no inversor, filtros, convertidores lineales $V - I$, rectificadores, detectores de picos, amplificador de carga, amplificador logarítmico, seguidor de voltaje, fuentes de alimentación regulada, entre otros muchos [3.6-3.10].

El OPAMP representa, en esencia, un circuito electrónico de alta ganancia destinado a amplificar la diferencia entre los voltajes aplicados a sus dos terminales de entrada, comúnmente llamadas entradas inversora (-) y no inversora (+).

En forma simple, un OPAMP constituye un amplificador diferencial compuesto, por ejemplo, de un par complementario de transistores MOS, controlados por una fuente de corriente constante. Los BJT y los JFET pueden ser también utilizados como pares diferenciales. En la figura 3.1 se muestra el diagrama a bloques de un amplificador operacional.

Su utilidad, la gran variedad de configuraciones posibles, su adaptabilidad, bajo consumo y la facilidad de polarización, hacen de éste, un elemento casi imprescindible en cualquier aplicación analógica.

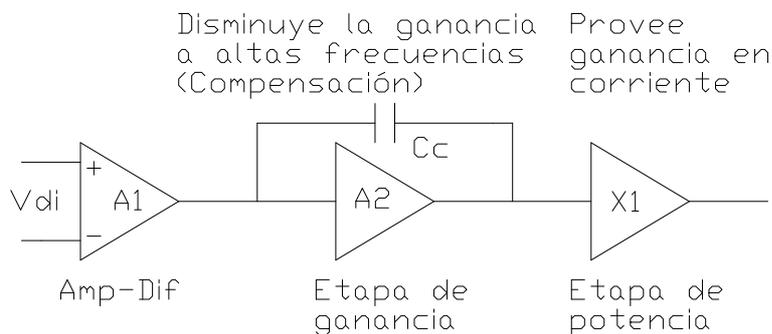


Figura. 3.1: Amplificador operacional de dos etapas con buffer de salida.

El OPAMP está constituido por tres etapas, la primera etapa es un amplificador diferencial, seguido de una etapa de ganancia, como puede ser una etapa de fuente común, y finalmente un buffer de salida o etapa de alta ganancia. En caso de que el amplificador se diseñe para manejar sólo cargas capacitivas pequeñas, la última etapa no se utilizará, sin embargo, si ha de trabajar con grandes cargas resistivas o capacitivas, se deberá incluir en el diseño. En lo subsecuente se explicará de forma más detallada la selección y cálculo del OPAMP dirigido a una aplicación específica, cuyos requerimientos serán definidos, en este caso, por el sensor de gases [3.6, 3.7].

3.1.1. Primera etapa del OPAMP

Un amplificador diferencial no es otra cosa que un sistema de dos entradas con una salida, las entradas se dan en forma de voltajes, una entrada está negada con respecto a la otra, por lo que el circuito obtendrá una diferencia entre los voltajes de entrada. La diferencia será amplificada dependiendo de una ganancia prevista desde su diseño, la cual deberá ser tal, que satisfaga los requerimientos de la carga, la señal de entrada, la corriente consumida, la señal de salida y la frecuencia máxima de la señal de entrada [3.6].

3.1.2. Segunda etapa del OPAMP

A grandes rasgos es una etapa de alta ganancia que permite amplificar la señal entregada por el amplificador diferencial, reflejándose en una ganancia en corriente; se utiliza para evitar interacciones de la carga con respecto a la salida del amplificador diferencial. Permite la conexión de la etapa de salida y una compensación en alta frecuencia. Como se explicará posteriormente, la frecuencia afecta la ganancia y la fase del OPAMP; en caso de no existir un buen diseño y/o compensación, podría comportarse como un sistema con retroalimentación positiva, es decir, teniendo una ganancia mayor a uno cuando la fase se invierta debido a la alta frecuencia [3.6-3.8].

3.1.3. Etapa de salida

La etapa de salida es útil cuando se requiere manejar corrientes más elevadas, debido a cargas resistivas o capacitivas altas, de lo contrario, como sería el caso de que existiera una etapa de conversión A/D, ésta no sería necesaria.

3.2. Diseño del OPAMP.

En el diseño de un amplificador operacional se debe conocer el funcionamiento, diseño, configuraciones y ecuaciones para el cálculo manual, siendo éstas, mucho más sencillas y con menor número de factores que las utilizadas en el cálculo y simulación computacional, aunque son una buena guía en diseño. En lo subsecuente, se analizarán las configuraciones que componen un OPAMP y a partir de las ecuaciones que rigen a éstas, se harán los ajustes necesarios para cumplir con los requisitos de polarización.

3.2.1 Metodología de ajuste

El proceso de diseño de circuitos CMOS consiste en definir las entradas y salidas del circuito, realizar los cálculos manuales, simular del circuito, efectuar el diseño de fabricación (Layout), simulación incluyendo efectos parásitos, reevaluación de las entradas y salidas del sistema, fabricación y pruebas finales. Las especificaciones del circuito cambian conforme el diseño evoluciona.

Las especificaciones se determinan por el costo de fabricación, un alto desempeño, cambios en el mercado posible para el circuito o simplemente el cambio de las necesidades del cliente. En la mayor parte de los casos, cambios mayores en el diseño del circuito no son posibles una vez que el circuito ha sido fabricado.

El proceso de diseño parte de los cálculos manuales para llegar a la simulación computacional. Una vez en este punto, los parámetros se ajustan de acuerdo a las necesidades de polarización. El ajuste en un parámetro afectará la polarización de todos los dispositivos. Al ajustar un parámetro, se deben calcular las dimensiones de todos los transistores en base a la nueva polarización, posteriormente, se simula el circuito. El proceso anterior se repite continuamente hasta obtener resultados satisfactorios. En este punto, se puede realizar el Layout y la simulación en base al diseño de fabricación. No es hasta obtener resultados convenientes en el Layout, cuando se procede a la fabricación. La siguiente figura muestra la metodología de ajuste de parámetros:

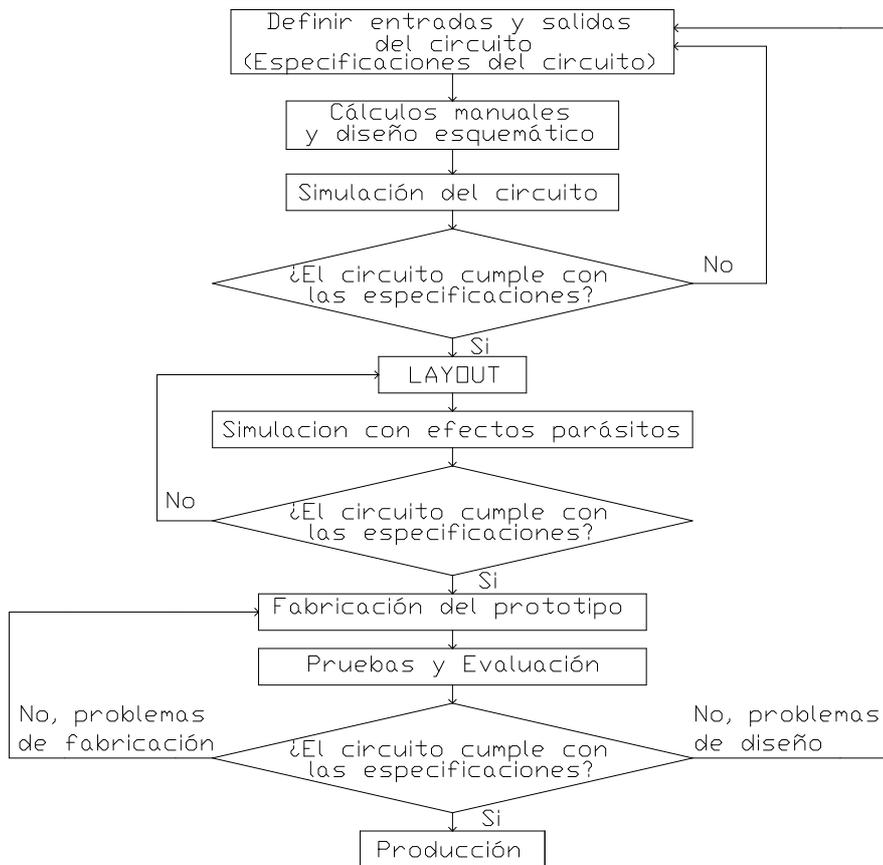


Figura 3.2: Metodología de ajuste de parámetros.

3.2.2. Espejo de corriente

Para entender la etapa del amplificador diferencial se debe entender la configuración de espejo de corriente, esta configuración es muy utilizada en el diseño de circuitos, en la figura 3.3 se muestra dicha configuración:

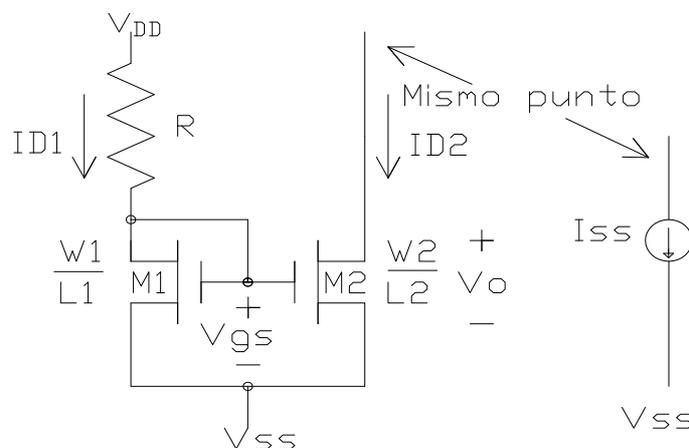


Figura 3.3: Configuración y representación de espejo de corriente.

Idealmente, la impedancia de salida r_o será infinita y capaz de generar una corriente constante en una amplia gama de voltajes, sin embargo, existen límites de r_o y se debe delimitar la salida para mantener a los dispositivos MOS en saturación.

De la figura 3.3 se observa que la corriente I_{D1} que fluye a través de $M1$, corresponde al voltaje V_{GS} . Suponiendo que ambos transistores son idénticos y por lo tanto, lo son sus características eléctricas y se sabe que $V_{GS1} = V_{GS2}$, entonces la corriente que fluye a través de $M1$ será la misma que por $M2$. En caso no ser idénticos, la corriente que fluye por $M2$ será un múltiplo de la corriente que fluye por $M1$. La corriente I_{D1} esta dada por:

$$I_{D1} = \frac{V_{DD} - V_{GS} - V_{SS}}{R}, \quad 3.1$$

donde, V_{DD} es el voltaje de alimentación, V_{GS} es la caída de voltaje en el transistor y V_{SS} es el voltaje más negativo de alimentación del circuito, R es la resistencia que determinará el valor de la corriente base I_{D1} . Cabe hacer notar, que para fines de diseño se retoma la ecuación 2.32, observando que $V_{DS} \geq (V_{GS} - V_{THN})$, de tal manera que el transistor se encuentra en la región de saturación. I_{D1} esta dada por:

$$I_{D1} = \frac{KP_n}{2} \frac{W_1}{L_1} (V_{GS1} - V_{THN})^2 = \frac{\beta_1}{2} (V_{GS1} - V_{THN})^2 \quad 3.2$$

y la salida de corriente I_{D2} , asumiendo que $M2$ esta en saturación, se define mediante:

$$I_{D2} = I_o = \frac{KP_n \cdot W_2}{2L_2} \cdot (V_{GS2} - V_{THN})^2 = \frac{\beta_2}{2} \cdot (V_{GS2} - V_{THN})^2, \quad 3.3$$

tal que $V_{GS1} = V_{GS2}$, por lo tanto, la relación entre las corrientes de drenador es:

$$\frac{I_{D1}}{I_{D2}} = \frac{W_2 / L_2}{W_1 / L_1} = \frac{W_2 L_1}{W_1 L_2} = \frac{\beta_2}{\beta_1}. \quad 3.4$$

La ecuación anterior muestra como ajustar la relación W/L para obtener la salida de corriente deseada I_{D2} . Sin embargo, ésta ecuación, no muestra la relación entre la salida de corriente I_{D1} y el voltaje a través de $M2$, ésta se obtiene resolviendo:

$$I_{D1} = \frac{V_{DD} - V_{GS1} - V_{SS}}{R} = \frac{KP_n \cdot W_1}{2L_1} \cdot (V_{GS1} - V_{THN})^2. \quad 3.5$$

Existe un requisito mínimo de corriente en $M2$ para que éste permanezca en saturación $V_{\min} = V_{DSsat} \geq V_{GS} - V_{THN}$. La resistencia de salida de la fuente de corriente es simplemente la resistencia de salida de $M2$ y se calcula mediante 2.37:

$$r_{o2} = \frac{\lambda_{c2}}{I_o} = \frac{\lambda_{c2}}{I_{D2}}. \quad 3.6$$

De las ecuaciones 3.4 y 3.5, se puede observar que las variables L_1, L_2, W_1, W_2 y V_{GS} se encuentran disponibles para el diseño, se eligen los valores de V_{GS} y L , después se selecciona una W adecuada con el fin de conseguir la corriente deseada escogiendo las longitudes L iguales para todos los transistores. Usando la ecuación 3.4, se encuentra la siguiente relación:

$$\frac{I_{D2}}{I_{D1}} = \frac{W_2}{W_1}. \quad 3.7$$

En aplicaciones analógicas es muy importante mantener la resistencia de salida lo más alta posible, reducir los efectos de longitud de canal y modulación de movilidad, lo cual se logra incrementando la longitud del canal o en el diseño suponer un V_{GS} cercano a V_{THN} , ya que en caso de suponerlo mas grande, el transistor entra en la región de trío demasiado pronto, debiendo suponer V_{GS} unos cientos de mili volts por arriba de V_{THN} [3.6-3.8].

3.2.3. Amplificador diferencial

Se denomina así, debido a que amplifica la diferencia entre dos señales, siendo una configuración fundamental en el diseño de circuitos integrados.

Existen tres tipos básicos de amplificador diferencial y se clasifican según su configuración en: par fuente acoplada, par cruzado fuente acoplada y amplificador diferencial de corriente. En este caso, se utiliza el par fuente acoplada, con carga de fuente de corriente. Esta configuración atenúa las altas frecuencias, pero gana en simplicidad y alta ganancia con respecto al amplificador par cruzado. Dada la naturaleza del sensor, estas características son excelentes para el diseño, debido a que el proceso a sensor es bastante lento (diez muestras por minuto máximo). La ganancia requerida es muy alta puesto que el sensor varía hasta en dos órdenes de magnitud. El costo de producción del diseño disminuye debido a su simplicidad. No se utilizará el amplificador diferencial de corriente porque se desea manejar señales de voltaje [3.6-3.8, 3.14].

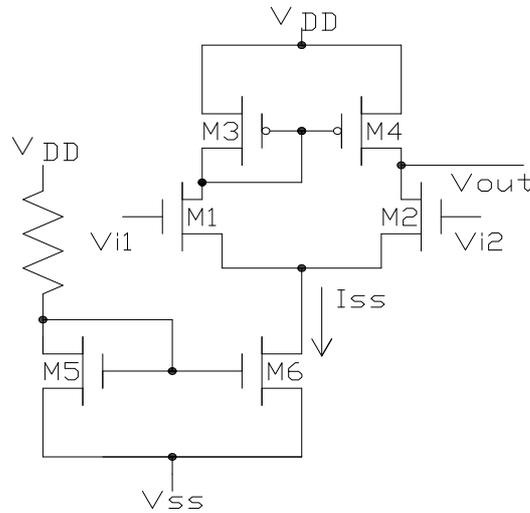


Figura 3.4: Amplificador diferencial con carga de fuente de corriente.

El par fuente esta formado por M_1 y M_2 , se muestra en la figura 3.5, mientras el espejo de corriente formado por M_5 y M_6 provee una corriente I_{SS} al par.

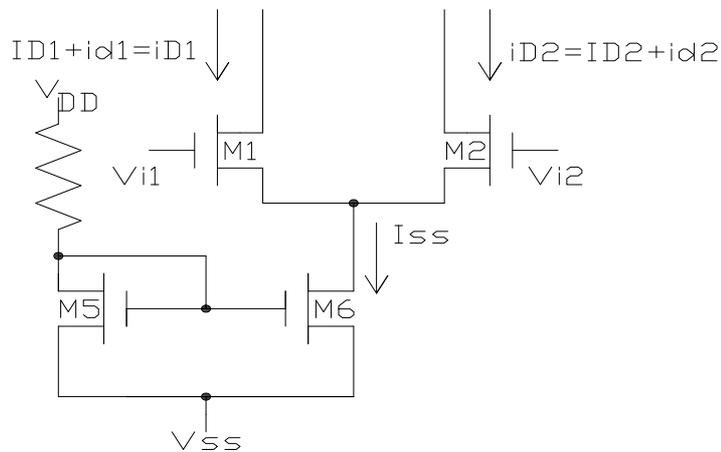


Figura 3.5: Amplificador diferencial.

En el subsecuente análisis, se asumirá que M_1 y M_2 son del mismo tamaño, tipo n , por lo tanto $\beta_1 = \beta_2 = \beta = \frac{KP_n \cdot W_{12}}{L_{12}}$, que por el momento no existe carga de fuente de corriente, que $V_{DD} = -V_{SS}$, que las entradas están en un rango de V_{DD} a V_{SS} , tierra (ground) = $V_{DD} - V_{SS}$, así, la corriente a través de M_1 y M_2 , tomando en cuenta las componentes de C.A. y C.D. está dada por:

$$I_{SS} = i_{D1} + i_{D2} \cdot$$

Los voltajes de entrada en las compuertas de M_1 y M_2 se pueden nombrar como v_{I1} y v_{I2} , donde la diferencia de voltajes debida a la configuración es:

$$v_{DI} = v_{I1} - v_{I2} = v_{GS1} - v_{GS2} \cdot \quad 3.9$$

En términos de C.A. y C.D. la diferencia de los voltajes de entrada v_{DI} será:

$$v_{DI} = V_{GS1} - v_{gs1} = V_{GS2} - v_{gs2} \cdot \quad 3.10$$

Cuando las compuertas de M_1 y M_2 se encuentran a tierra la corriente es:

$$I_{D1} = I_{D2} = \frac{I_{SS}}{2} \cdot \quad 3.11$$

Conociendo la ecuación que rige la corriente de un MOSFET en saturación:

$$I_D = \frac{\beta}{2} (v_{GS} - V_{THN})^2, \quad 3.12$$

la diferencia de entrada de voltajes se reescribe como:

$$v_{DI} = \sqrt{\frac{2}{\beta} (\sqrt{i_{D1}} - \sqrt{i_{D2}})} \cdot \quad 3.13$$

Mediante las ecuaciones 3.8 y 3.13, se encuentra la relación de la corriente de drenador para los MOSFETs en saturación, en términos de la diferencia de voltaje ($v_{DI} > 0$):

$$i_{D1} = \frac{I_{SS}}{2} \left| 1 + \sqrt{\left(\frac{\beta v_{DI}^2}{I_{SS}} \frac{\beta^2 v_{DI}^4}{4I_{SS}^2} \right)} \right| \quad 3.14$$

$$i_{D2} = \frac{I_{SS}}{2} \left| 1 - \sqrt{\left(\frac{\beta v_{DI}^2}{I_{SS}} \frac{\beta^2 v_{DI}^4}{4I_{SS}^2} \right)} \right| \quad 3.15$$

Para entender el funcionamiento del amplificador diferencial, supóngase que $v_{I2} = 0$, es decir, la compuerta de M_2 se encuentra a tierra, por tanto $v_{I1} = v_{DI}$. Si la compuerta de M_1 se conecta a V_{DD} , M_2 no conduce corriente e I_{SS} fluye sólo por M_1 , por lo que M_2 sale de la región de saturación. A la diferencia máxima de voltajes en la compuerta de M_1 , que bajo las condiciones anteriores, provoca que la corriente en M_2 sea tal que éste comience a salir de saturación se denomina v_{DIMAX} [3.6].

v_{DIMAX} se calcula como:

$$v_{DIMAX} = \sqrt{\frac{2I_{SS}}{\beta}}. \quad 3.16$$

Este resultado se puede aplicar al caso de que $v_{I2} > 0$, que no es otra cosa que la máxima diferencia de potencial entre las compuertas de M_1 y M_2 :

$$v_{DIMAX} = v_{I1} - v_{I2} = \sqrt{\frac{2I_{SS}}{\beta}}. \quad 3.17$$

De lo anterior, y de las consideraciones que describen a M_1 y M_2 como idénticos, se puede deducir que la mínima diferencia de voltaje cuando toda la corriente fluye por M_2 , se da por:

$$v_{DIMIN} = -\sqrt{\frac{2I_{SS}}{\beta}}, \quad 3.18$$

de esta ecuación, se pueden calcular los límites de voltaje en la entrada de las compuertas de M_1 y M_2 que aseguran la correcta operación del amplificador diferencial.

La transconductancia del amplificador diferencial se calcula como la diferencial de la corriente de salida con respecto al voltaje de entrada, con M_1 y M_2 en saturación. Utilizando las ecuaciones 3.11 y 3.17 se obtiene:

$$G_m = \frac{di_{D1}}{dv_{DI}} = \frac{I_{SS}/2}{\sqrt{\frac{2I_{SS}}{\beta}}} = \frac{\sqrt{2\beta I_{SS}}}{4} = \frac{g_m}{4}. \quad 3.19$$

De la ecuación anterior se desprende que, la transconductancia aumenta incrementando I_{SS} o haciendo W en M_1 y M_2 más grande.

3.2.3.1. Carga de fuente de corriente

La configuración de amplificador diferencial es comúnmente usada con una fuente de corriente como carga (Fig. 3.4). Se considera que las compuertas de M_1 y M_2 se encuentran a tierra, la corriente $I_{SS}/2$ fluye por igual en M_1 , M_2 , M_3 y M_4 , el voltaje de drenador de M_4 se encuentra al mismo potencial que la compuerta de M_3 y M_4 (así como el drenador de M_3) y por lo tanto, la diferencia de potencial entre M_1 y M_2 es cero. El hecho de que el drenador de M_4 se encuentre al mismo potencial que la compuerta de M_3 se aprovecha para alimentar la siguiente etapa a un nivel de corriente particular.

La selección del tamaño de los dispositivos se realiza de la misma manera que el espejo de corriente. Se fija una L , que en este caso será de $3.75\mu m$ para un diseño en la tecnología AMIS 1.5μ y se determina el ancho W mediante el voltaje fuente-compuerta de los MOSFET, que para este diseño, V_{GS} tendrá como mínimo un valor de $1.2V$.

En este amplificador diferencial, se utilizarán transistores tipo n , que tienen menor capacitancia en las fuentes que los tipo p . A pesar de que se incrementa V_{THN} en M_1 y M_2 a aproximadamente $1.2V$ e implica que V_{GS} tendrá un valor de $1.5V$ o $0.3V$ por arriba de V_{THN} , se compensa debido al efecto de cuerpo. El uso de par tipo p se hace con la intención de eliminar el efecto de cuerpo (donde el substrato funciona como una segunda compuerta), sin embargo, este efecto es indeseable, debido a que provocan la falta de saturación en el par.

Hasta este momento, se ha considerado la diferencia entre las entradas v_{I1} y v_{I2} , y en lo subsecuente será necesario describir el rango de operación cuando ambas entradas se encuentren al mismo potencial, es decir, el rango en modo común (CMR), que es el rango mínimo y máximo de voltaje que provoca que los transistores permanezcan en saturación.

v_{IMIN} es el voltaje mínimo para mantener a M_6 en saturación que se obtiene sumando el voltaje existente desde V_{SS} hasta la salida del amplificador diferencial, asumiendo a M_1 y M_2 en saturación, esto es:

$$v_{IMIN} = \sqrt{\frac{I_{SS}}{\beta_1}} + V_{THN} + \sqrt{\frac{2I_{SS}}{\beta_6}} + V_{SS} \quad 3.20$$

El máximo voltaje de entrada común v_{IMAX} , ocurre cuando M_1 y M_2 entran en la región de triodo:

$$v_{DS1} = V_{GS1} - V_{THN} \rightarrow V_{D1} = V_{G1} - V_{THN} \cdot \quad 3.21$$

Si $V_{G1} = v_{IMAX}$:

$$v_{IMAX} = V_{DD} - \left[\sqrt{\frac{I_{SS}}{\beta_1}} + V_{THP} \right] + V_{THN} \cdot \quad 3.22$$

El rango de entrada en modo común que asegurara un funcionamiento lineal para amplificadores diferenciales a base de MOSFETs es:

$$\text{CMR (positivo)} = v_{IMAX}$$

$$\text{CMR (negativo)} = v_{IMIN} \cdot$$

En las ecuaciones anteriores, se ignoró el efecto de cuerpo, la omisión se justifica con la utilización de MOSFETs tipo n , los cuales, en una oblea tipo p , permiten que los transistores entren en saturación antes de lo predicho, siendo estas ecuaciones útiles sólo como guía en el diseño manual, lo cual deberá ser sustentado por simulaciones computacionales.

Ahora se determinará la ganancia de pequeña señal para el amplificador de la figura 3.4, asumiendo que la compuerta de M_2 se encuentra conectada a una fuente de C.A. ajustada a 0V, el voltaje de entrada está dado por:

$$v_{i1} = v_{gs1} - v_{gs2} = i_{d1} \cdot \frac{1}{g_{m1}} - i_{d2} \cdot \frac{1}{g_{m2}}, \quad 3.23$$

donde, se utilizan las ecuaciones de transconductancia. En caso de que la corriente alterna en el drenador de M_6 es igual a cero:

$$i_{d1} = v_{gs1} - v_{gs2} = i_d \text{ y } g_{m1} = g_{m2} = g_m, \quad 3.24$$

por lo tanto,

$$v_{i1} = i_d \left(\frac{2}{g_m} \right). \quad 3.25$$

El funcionamiento del amplificador diferencial es un concepto difícil de entender, aunque el uso de las ecuaciones permite conocer el comportamiento de la configuración. Es necesario entenderlo de manera intuitiva, por lo que en lo consecutivo, se explicará su funcionamiento.

Existe una alimentación tal que $V_{DD} = -V_{SS}$ (fig. 3.4) y una fuente de corriente constante I_{SS} , se sabe que si los transistores M_1 y M_2 se encuentran a tierra, fluye la misma corriente por M_1 , M_2 , M_3 y M_4 . Ahora bien, si el voltaje de entrada de la compuerta del transistor M_1 aumenta, se incrementa la corriente I_{d1} que fluye a través de M_1 y M_3 (Fig. 3.5). Si $I_{SS} = I_{d1} + I_{d2}$ e I_{SS} es constante, el espejo de corriente genera una corriente en M_4 idéntica a la existente en M_3 , lo cual se contrapone a la idea de la disminución de la corriente I_{d2} , por lo que se considera que existe una corriente en sentido contrario en M_2 , como lo muestra la figura 3.6, de tal manera que la corriente total es llevada a la resistencia del nodo de salida [3.6].

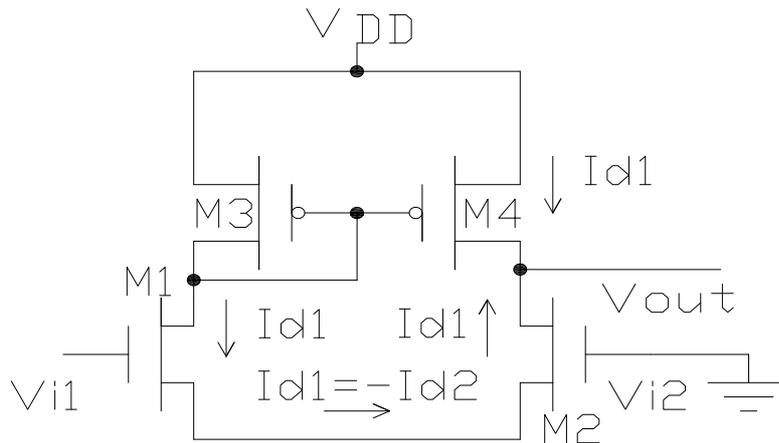


Figura 3.6: Corrientes a través de un amplificador diferencial.

De la ecuación 2.37, la resistencia en el drenador de M_4 esta dada por la ecuación 3.26, donde $\lambda = 1/\lambda_c$.

$$r_{o4} = \frac{\lambda_c}{I_D} = \frac{1}{\lambda I_D} \quad 3.26$$

Del circuito se puede concluir que la resistencia en el drenador de M_2 es:

$$R_{D2} = r_{o2} \left(1 + g_{m2} \cdot \frac{1}{g_{m1}} \right) \approx r_{o2} \quad 3.27$$

La ganancia en voltaje del amplificador diferencial será:

$$A_v = \frac{v_{out}}{v_{i1}} = \frac{v_{out}}{v_{i1} - v_{i2}} = \frac{2i_d(r_{o2} \parallel r_{o4})}{i_d \cdot \frac{2}{g_m}} = g_m(r_{o2} \parallel r_{o4}), \quad 3.28$$

tal que:

$$A_v = \frac{2\sqrt{\beta}}{(\lambda_2 + \lambda_4)\sqrt{I_{SS}}}. \quad 3.29$$

En otras palabras, si se disminuye la corriente de polarización del par, se incrementa la ganancia a costa de disminuir la frecuencia máxima y el tiempo de respuesta del dispositivo.

El tiempo de respuesta está dado en función de la capacitancia de salida, la cual se puede determinar aplicando una capacitancia C_L como carga, donde:

$$\frac{dV}{dt} = \frac{I_{SS}}{C_L} (V / \mu s). \quad 3.30$$

Observando la figura 3.7, se puede ver que si se aplica una entrada escalón en la compuerta de M_1 , M_2 se apagará y la corriente I_{SS} circulará a través de M_1 , M_3 y M_4 , por lo tanto, la ecuación anterior describe la razón máxima de carga de la capacitancia C_L . Cuando el capacitor está completamente cargado el transistor M_4 se apaga, circulando una corriente I_{SS} a través de M_1 y M_3 .

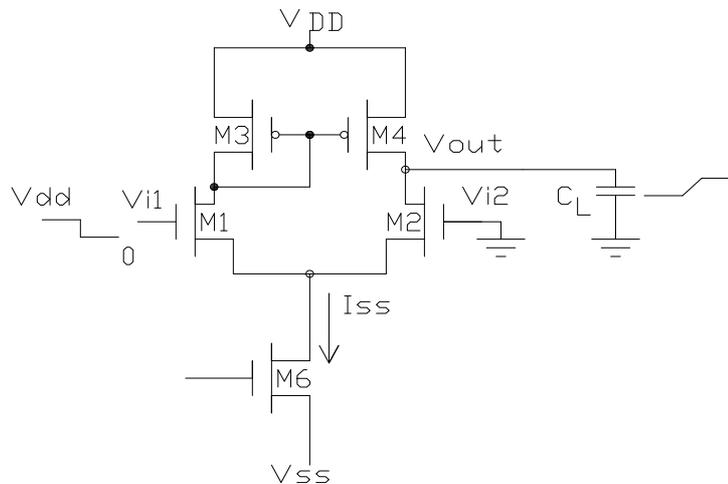


Figura 3.7: Limitaciones de respuesta del amplificador diferencial.

Considerando la figura 3.8, la resistencia del nodo de salida es aproximadamente $(r_{o2} \parallel r_{o4})$ y la capacitancia esta dada por:

$$C_{TOT} = C_L + C_{db4} + C_{gd4} + C_{db2} + C_{gd2} \cdot \quad 3.31$$

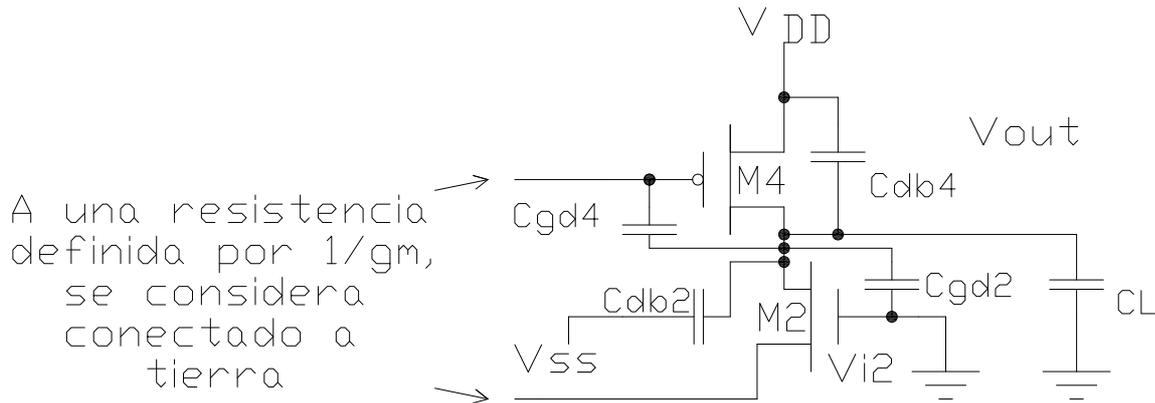


Figura 3.8: Capacitancias en el nodo de salida del amplificador diferencial.

La constante de tiempo en el nodo de salida esta dada por:

$$\tau_{out} = (r_{o2} \parallel r_{o4}) \cdot C_{tot} \cdot \quad 3.32$$

Un aspecto importante de un amplificador diferencial es el rechazo de una señal común a ambas entradas. Considerando el circuito de la figura 3.9 y debido a que la entrada no es una señal diferencial, el nodo de la fuente no podrá ser considerado como tierra física para acoplar una fuente de C.A, la fuente de corriente que alimenta a M_1 y M_2 se reemplaza por una resistencia equivalente en pequeña señal. Se aplica una señal de C.A. idéntica en las compuertas de M_1 y M_2 , se puede calcular la ganancia en modo común. El voltaje de entrada en C.A. en modo común de pequeña señal v_c se escribirá como:

$$v_c = v_{gs1,2} + 2i_d r_{o6}, \quad 3.33$$

donde M_1 y M_2 proveen una corriente i_d , que fluye a través de la resistencia que representa la fuente de corriente r_{o6} , así, la ecuación se puede reescribir como:

$$v_c = i_d \left(\frac{1}{g_m} + 2r_{o6} \right) \approx i_d \cdot 2r_{o6} \cdot \quad 3.34$$

El voltaje de salida dada la simetría del circuito esta dado por:

$$v_{out} = -i_d \cdot \frac{1}{g_{m3}} = -i_d \cdot \frac{1}{g_{m4}}. \quad 3.35$$

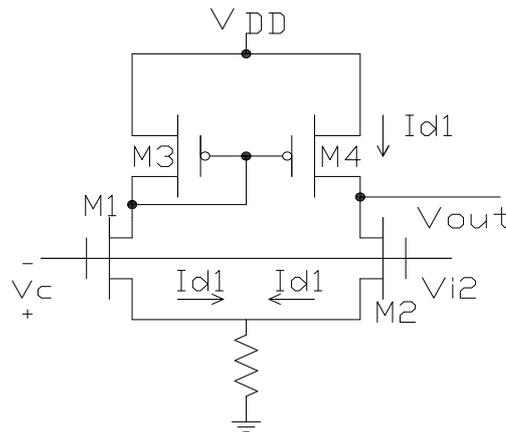


Figura 3.9: Amplificador diferencial con entrada común.

La ganancia en modo común, asumiendo que $g_{m3} = g_{m4}$, es:

$$A_c = \frac{v_{out}}{v_c} = -\frac{1/g_{m4}}{2r_{o6}} = -\frac{1}{2g_{m4}r_{o6}}. \quad 3.36$$

La ganancia en modo común puede ser disminuida (idealmente es cero) incrementando la resistencia de salida de la fuente de corriente que se encuentra conectada al par diferencial. La ganancia en modo diferencial está dada por la ecuación 3.28, la razón de rechazo en modo común, en decibeles, del amplificador esta dada por:

$$CMRR = 20 \log \left| \frac{A_v}{A_c} \right| = 20 \log |g_{m1} (r_{o2} \parallel r_{o4}) \cdot 2g_{m4}r_{o6}| \quad 3.37$$

3.2.4. Etapa de fuente común

Las fuentes de corrientes proveen un amplificador con la mayor carga resistiva en los procesos CMOS. La figura 3.10 muestra un amplificador de fuente común con fuente de corriente.

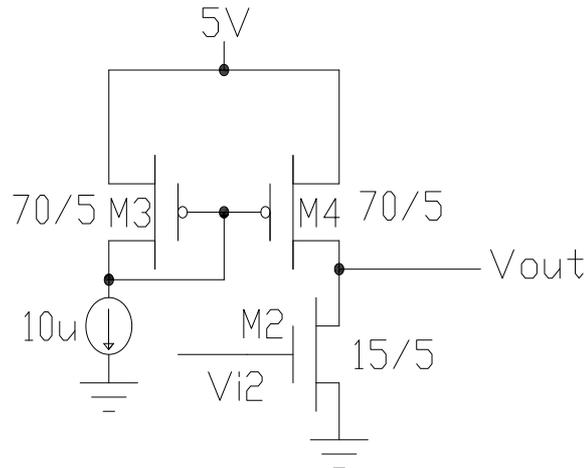


Figura 3.10: Amplificador de fuente común con carga de fuente de corriente.

De la figura anterior se sabe que M_2 es el componente de fuente común del amplificador, mientras que M_4 es la fuente de corriente.

La relación entrada-salida V_o/V_i , cuando ambos transistores están saturados corresponde a la ganancia en pequeña señal, como se muestra en la siguiente figura:

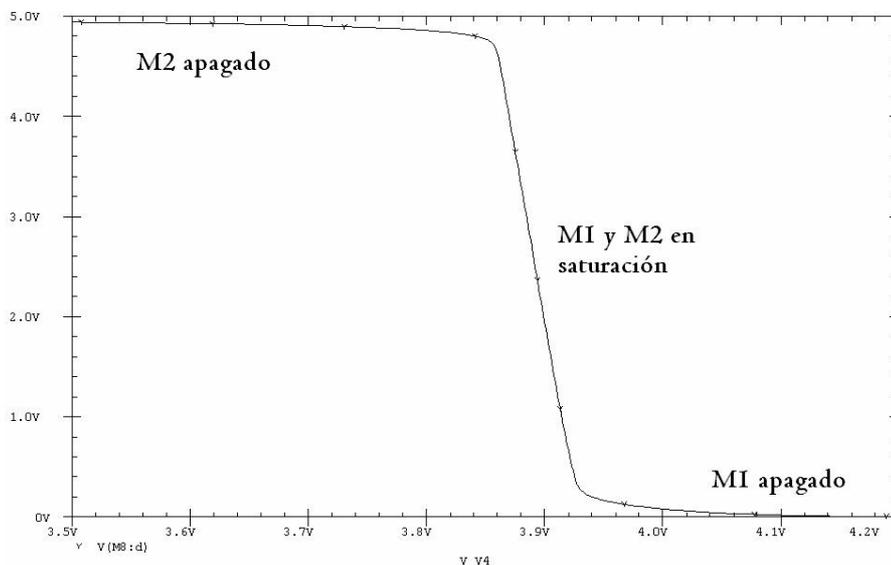


Figura 3.11: Características en C.D. de amplificador fuente común.

Se puede observar que la salida en voltaje V_o depende en gran medida de la alimentación del amplificador, lo cual, es un problema común en diseño de circuitos integrados con tecnología CMOS, es decir, fijar un voltaje deseado en los drenadores de MOSFETs tipo p y tipo n conectados en serie, por ello se utiliza la retroalimentación, que permite alcanzar voltajes deseados a la salida del amplificador.

Una configuración comúnmente aplicada para polarizar el amplificador es conectar una señal de C.A. a la entrada de la compuerta de M_2 , la salida de la señal se encontrará en el drenador de M_4 y M_2 , una gran resistencia es conectada entre la salida y la entrada, forzando a M_4 y M_2 a permanecer en saturación.

A partir de la ecuación 3.26, la resistencia dada por el drenador de M_2 , en paralelo con la resistencia del transistor M_1 , está dada por:

$$r_{o2} = r_{o1} = \lambda_c / I_D. \quad 3.38$$

La ganancia en voltaje del amplificador es la resistencia en el drenador M_1 dividido entre la resistencia en la fuente de M_1 :

$$A_v = \frac{v_o}{v_i} = \frac{r_{o1} \parallel r_{o2}}{1/g_{m1}} = \frac{g_{m1}}{g_{o1} + g_{o2}}, \quad 3.39$$

donde $r_{o1} = 1/g_{o1}$. Haciendo las respectivas substitutiones para determinar el efecto de la polarización en la ganancia de pequeña señal, se tiene:

$$A_v = \frac{-\sqrt{2\beta_1 I_D}}{I_D(\lambda_1 + \lambda_2)} = \frac{-\sqrt{2\beta_1}}{(\lambda_1 + \lambda_2) \cdot \sqrt{I_D}}. \quad 3.40$$

La ecuación muestra que entre menor sea la corriente de polarización mayor es la ganancia, donde, la transconductancia y la salida de resistencia del MOSFET son linealmente dependientes de la corriente de drenador.

La ganancia del amplificador puede ser incrementada utilizando una carga de fuente de corriente en cascada en lugar de M_2 , teniendo una resistencia mucho más grande en la carga que en la salida de M_1 , esta ganancia es denominada como ganancia de circuito abierto de amplificador de fuente común, donde la ganancia se expresa como:

$$A_v = \frac{r_{o1}}{\frac{1}{g_{m1}}} = -g_{m1} r_{o1} = -\frac{\sqrt{2\beta_1 I_D}}{I_D \lambda_1}. \quad 3.41$$

De la ecuación anterior, se observa que la ganancia se incrementa por un factor de dos, con respecto a la ecuación 3.40. Una configuración diseñada para alcanzar una ganancia demasiado alta puede ser contraproducente. Como se vio anteriormente, al aumentar la frecuencia se desfasa la salida con respecto a la entrada hasta el punto de

invertirse, llegado este punto, la ganancia debe ser nula o cero, sin embargo, esto no sucede cuando la ganancia es muy grande. Generalmente se recurre a cargas capacitivas y resistivas para modificar la ganancia a altas frecuencias, sin embargo, existen ocasiones en que el valor de capacitancia y resistencia requerido es de tal magnitud, que afecta el comportamiento del circuito, deformando la señal de salida y presentando retardos en la respuesta. En el peor de los casos, la compensación puede significar una carga demasiado grande, traducándose en un consumo de corriente que excede el permitido por el diseño de los transistores.

Es necesario diseñar el circuito de amplificación de forma tal que no existan capacitancias, ni resistencias de compensación, siendo auto compensando por las capacitancias presentes en los transistores, teniendo una ganancia tal, que ésta sea menor a uno cuando se invierta la fase debido a la alta frecuencia.

3.3. Diseño del OPAMP

El OPAMP es un elemento fundamental en el diseño de circuitos integrados analógicos, donde la primera etapa es un amplificador diferencial y la segunda etapa, encargada de elevar la ganancia, es una configuración de fuente común, debido a que no se manejan cargas elevadas, sólo cargas capacitivas pequeñas o conversión de señales, por lo que se prescinde de la etapa de potencia.

El diseño del OPAMP consiste en saber las especificaciones, seleccionar los tamaños y las condiciones de polarización, hacer compensaciones para lograr estabilidad, simular y caracterizar la ganancia en lazo abierto A_{OL} , el rango de entrada en modo común CMR , el rango de rechazo en modo común $CMRR$, relación de rechazo de la potencia de alimentación $PSRR$, el rango de voltaje de salida, capacidad de corriente y la potencia disipada.

Como ya se vio anteriormente, un factor importante a seleccionar es la corriente I_{SS} , la cual polariza al par diferencial, determina la ganancia, CMR , $CMRR$, la potencia disipada, el rechazo al ruido, el retardo y consideraciones de diseño.

La ganancia en pequeña señal del amplificador diferencial está dada por la ecuación 3.28 y 3.29, que puede expresarse como:

$$A_1 = g_{m1}(r_{o2} \| r_{o4}) = \frac{2\sqrt{\beta}}{(\lambda_2 + \lambda_4)\sqrt{I_{SS}}} = \frac{2}{(\lambda_2 + \lambda_4)(V_{GS} - V_{THN})} \quad 3.42$$

Además, se selecciona la corriente I_{SS} y se debe determinar el voltaje V_{GS} de los MOSFET. En la práctica, se fija el largo L en un valor deseado y se incrementa el ancho W . En general, entre más largos sean los dispositivos, el voltaje V_{GS} disminuye, CMR se incrementa, el ruido en la entrada se atenúa, el acoplamiento entre etapas mejora y la ganancia se incrementa a costa de aumentar las capacitancias parásitas y disminuir la velocidad del dispositivo.

3.3.1. Selección de dimensiones, voltajes y corrientes de polarización

Se utiliza la tecnología de fabricación AMIS 1.5. Cabe resaltar que λ es una medida de diseño del programa L-Edit® y no está asociada a las ecuaciones anteriores, por lo que en lo subsecuente se denominará como λ_D . En ésta tecnología, los tamaños mínimos aconsejados de diseño son $L = 2\lambda_D$ y $W = 3\lambda_D$, siendo $\lambda_D = 1.5\mu m / 2$.

Se pretende un bajo consumo de potencia y dispositivos pequeños, puesto que el tamaño del diseño va de la mano con el costo de la fabricación y el consumo con las dimensiones.

Siguiendo el diseño de un amplificador diferencial, se selecciona una corriente de $10\mu A$ y un voltaje en la compuerta $V_{GS} = V_{THN} + 0.3V$ para los transistores (Fig. 3.12). Con el fin de evitar efectos de deriva, longitud de canal y modulación de movilidad de los portadores de carga, se selecciona $L = 5\lambda_D = 3.75\mu m$, a costa de incrementar las capacitancias y disminuir la velocidad del dispositivo; sin embargo, esto no tendrá mayor afectación, como se vera posteriormente.

3.3.2. Espejo de corriente

La fuente de corriente se diseña de tal forma que, $V_{DD} = 5V$, $V_{SS} = 0V$, $I_{SS} = 10\mu A$, $V_{GS5,6} = 0.85V$, lo que asegura la saturación, se calcula el valor de R asumiendo que $I_{D1} = I_{D2} = 10\mu A$.

Despejando de la ecuación 3.5:

$$R = \frac{V_{DD} - V_{GS5,6} - V_{SS}}{I_{SS}} = \frac{5V - 0.85V - 0V}{10\mu A} = 450k\Omega. \quad 3.43$$

Igualando las corrientes de M_5 y M_6 (Ec. 2.34), se encuentra la dimensión de los transistores:

$$I_{SS} = 10\mu A = \frac{KP_n}{2} \frac{W_{5,6}}{L_{5,6}} (V_{GS5,6} - V_{THN})^2 = \frac{50 \frac{\mu A}{V^2}}{2} \frac{W_{5,6}}{3.75\mu m} (0.85V - 0.54V)^2, \quad 3.44$$

por lo tanto, $W_5 = W_6 = 15.61\mu m \approx 21\lambda_D = 15.75\mu m$; de tal forma que la corriente $I_{SS} = 10.09\mu A$. Aunque existe un pequeño incremento en el consumo de potencia y disminuye la ganancia, esto no afectará al circuito. Una vez llevada a cabo la simulación, las dimensiones deberán ajustarse para cumplir requerimientos de polarización, adecuación de señal, estabilidad, consumo de potencia y ganancia, entre otros.

La impedancia de salida se define por la ecuación 3.38, donde, λ se calcula a partir de datos experimentales (típicamente $0.06V^{-1}$), que en este caso será:

$$r_{o6} = \frac{1}{\lambda I_{SS}} = \frac{1}{0.06V^{-1} \cdot 10.23\mu A} = 1.63MEG\Omega \quad 3.45$$

El valor de la corriente de salida $I_{SS} = 10.03\mu A$ depende en mayor grado del espejo de corriente y en menor medida de la carga que representa el amplificador diferencial, por lo tanto, la resistencia que representan los transistores M_1 , M_2 , M_3 y M_4 debe ser siempre menor que la resistencia a la salida del espejo de corriente.

3.3.3. Par diferencial

Puesto que circula la misma corriente en el par diferencial que en el espejo de corriente, las dimensiones del par se calculan bajo las mismas condiciones y fórmulas que la configuración anterior:

$$I_{SS} = 10\mu A = \frac{KP_n}{2} \frac{W_{1,2}}{L_{1,2}} (V_{GS5,6} - V_{THN})^2 = \frac{50 \frac{\mu A}{V^2}}{2} \frac{W_{1,2}}{3.75\mu m} (0.85V - 0.54V)^2, \quad 3.46$$

de tal forma que $W_1 = W_2 = 15.61\mu m \approx 21\lambda_D = 15.75\mu m$, la corriente $I_{SS} = 10.09\mu A$, siendo ésta la corriente que circula por el dispositivo. En el caso de compensación por frecuencia es aconsejable aumentar estas dimensiones, así también, en el caso de que el voltaje en las entradas afecte demasiado el valor de la corriente I_{SS} , la cual idealmente debe ser constante.

3.3.4. Carga de fuente de corriente

Utilizando las mismas reglas de diseño en los transistores tipo p , la carga de fuente de corriente se construye asegurando una corriente $I_{SS} = 10.09\mu A$, y un voltaje $V_{GS34} = V_{THP} + 0.3V = 1.148V$, $V_{DD} = 5V$, $V_{SS} = 0V$. W_3 se determina de la ecuación 2.34:

$$I_{SS} = 10.09\mu A = \frac{KP_p}{2} \frac{W_{3,4}}{L_3} (V_{GS3,4} - V_{THN})^2 = \frac{17 \frac{\mu A}{V}}{2} \cdot \frac{W_{3,4}}{3.75\mu m} (1.14 - 0.84)^2, \quad 3.47$$

correspondiendo a $W_3 = W_4 = 52.93\mu m \approx 71\lambda_D = 53.25\mu m$ e $I_{SS} = 10.15\mu A$; este parámetro es aumentado cuando se desee disminuir la caída de potencial en la carga de fuente de corriente.

3.3.5. Etapa de fuente común

Como ya se vio en la sección 3.2.3, esta etapa consta de transistores complementarios, a diferencia que en este caso, el transistor tipo n (M_8) se polariza como fuente de corriente y la entrada de la etapa de amplificación se encuentra en la compuerta del transistor tipo p (M_7).

Se desea que circule la misma corriente por M_8 que por el espejo de corriente, por tanto, M_8 tiene las mismas dimensiones que M_5 y M_6 . Esto es, $W_8 = W_5 = W_6 = 15.61\mu m \approx 21\lambda_D = 15.75\mu m$, mientras que el transistor M_7 tiene las mismas dimensiones que los transistores M_3 y M_4 de la carga de fuente de corriente, puesto que la corriente en M_8 es la misma que en M_7 y tiene el mismo valor que la corriente presente en el espejo de corriente y el par diferencial.

3.3.6. Simulación y ajustes al modelo

Los parámetros quedan a disposición del diseño, compensación y acondicionamiento post-simulación, la validez de los cálculos se comprobará mediante simulación con la herramienta computacional Orcad[®], utilizando las bibliotecas de parámetros con versión 3.1, nivel siete, para transistores con tecnología AMIS 1.5. Hasta el momento, las ecuaciones utilizadas tienen un grado de complejidad nivel tres, es decir, involucran un número reducido de parámetros, actuando como guía en el diseño.

En lo subsecuente, se ajustarán los parámetros en caso de ser necesario, en base a simulaciones y los conocimientos previos. El circuito diseñado se observa en la siguiente figura:

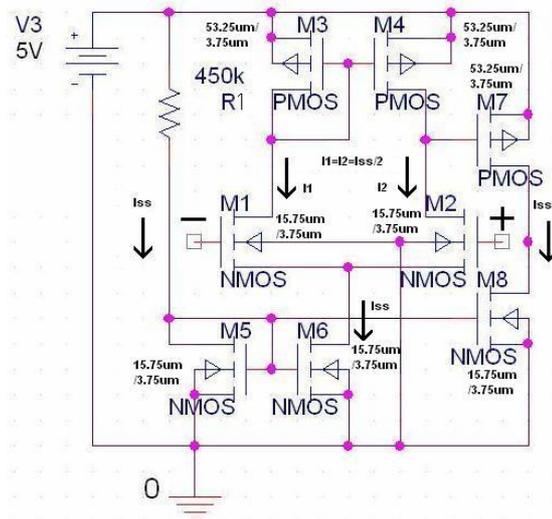


Figura 3.12: Circuito de un OPAMP de dos etapas diseñado mediante cálculos manuales.

En la figura 3.12 se observa el circuito de un OPAMP con las dimensiones de los transistores calculadas manualmente; las entradas están marcadas por símbolos: (-) para la entrada inversora y (+) para la entrada no inversora. Con el fin de determinar sus características, se simula el comportamiento del circuito aplicando un voltaje de 2.5V (V5) a la entrada inversora y un barrido en voltaje (V4) en la entrada no inversora, que irá de 0 a 5V, con incrementos de 0.001V, como lo muestra la figura:

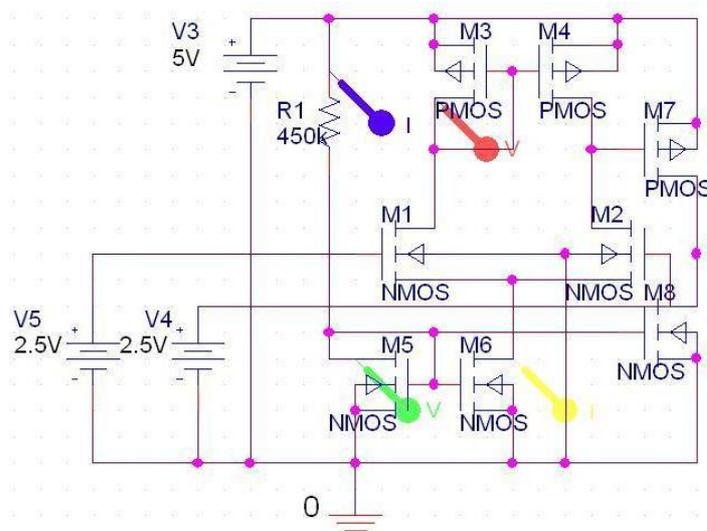


Figura 3.13 OPAMP con polarización en las entradas y puntas de prueba.

En el circuito de la figura 3.13 se observa la polarización de las entradas y las puntas de prueba, I_{SS} en R_1 , V_{GS5} en la fuente de M_5 , $V_{DD} - V_{SG3}$ en el drenador de M_3 e I_{SS} en la fuente de M_6 . Los resultados de la simulación se aprecian en la figura 3.14.

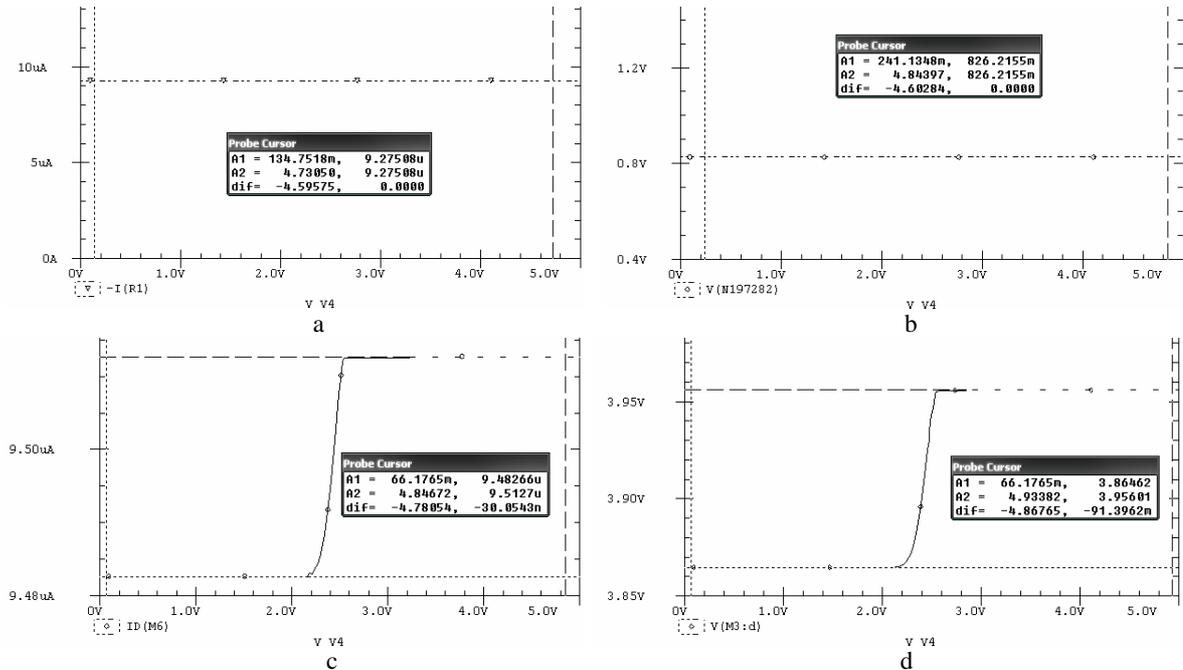


Figura 3.14: Resultados de la simulación al circuito de la figura 3.12.

De la figura 3.14a se sabe que la corriente $I_{SS} = 9.27\mu A$ en el transistor M_5 , de la figura 3.14b que el voltaje $V_{GS5} = 826mA$, en la figura 3.14c se muestra la corriente $I_{SS} = 9.51\mu A$ en el transistor M_6 y en la figura 3.14d, se observa que el voltaje $V_{SG3} = 5V - 3.95V = 1.05V$. Los parámetros son menores a los calculados, se debe recordar que todos los cálculos previos permiten asegurar que los transistores se encuentren en modo de saturación y por tanto, es necesario ajustarlos.

El voltaje V_{GS5} se corrige de la siguiente manera: se considera la resistencia del transistor M_5 en serie con la resistencia $R1$ y siguiendo el comportamiento de un divisor de voltaje $V_{GS5} = r_{o5} \frac{V_{DD}}{R1 + r_{o5}}$ se busca aumentar la resistencia interna del dispositivo M_5 . De las ecuaciones 2.34 y 2.54, se observa que un medio para lograrlo es disminuir del ancho del dispositivo W_5 .

La corriente I_{SS} se corrige disminuyendo el valor de la resistencia $R1$, con lo cual la corriente que fluye en M_5 y $R1$ aumenta.

En todo momento se debe tener presente que al ajustar las dimensiones y parámetros de operación de los dispositivos se debe verificar la operación de todo el circuito, de tal manera que cumpla con las reglas de diseño, esto es, se debe modificar todos los dispositivos tomando en cuenta la nueva corriente y los cambios en la polarización, basándose en las ecuaciones 2.32 y 3.47, que dictan el ancho de los dispositivos presentes en este circuito.

Tras numerosas pruebas, se modificó el tamaño de los dispositivos, de tal forma que los transistores M_1 , M_2 , M_5 , M_6 , M_8 tienen una disminución en W y el nuevo valor es $20\lambda_D = 15\mu m$, la disminución es pequeña, ya que de hacerla mayor, el espejo de corriente no será capaz de soportar cargas muy grandes.

La saturación de los transistores está asegurada, gracias a la disminución en el valor de la resistencia $R1$, en las simulaciones, el voltaje V_{GS} en el transistor M_5 es $858mV$ (Fig. 3.15b), lo cual, cumple la condición $V_{GS5} \geq 0.3V + V_{THN}$. La corriente I_{SS} se eleva a $10.9\mu A$ en M_5 (Fig. 3.15a) y a un valor de $11.1\mu A$ en M_6 (Fig. 3.15c), el voltaje $V_{GS5} = 5V - 3.89V = 1.11V$ en M_5 (Fig. 3.15d), lo cual, asegura una correcta polarización.

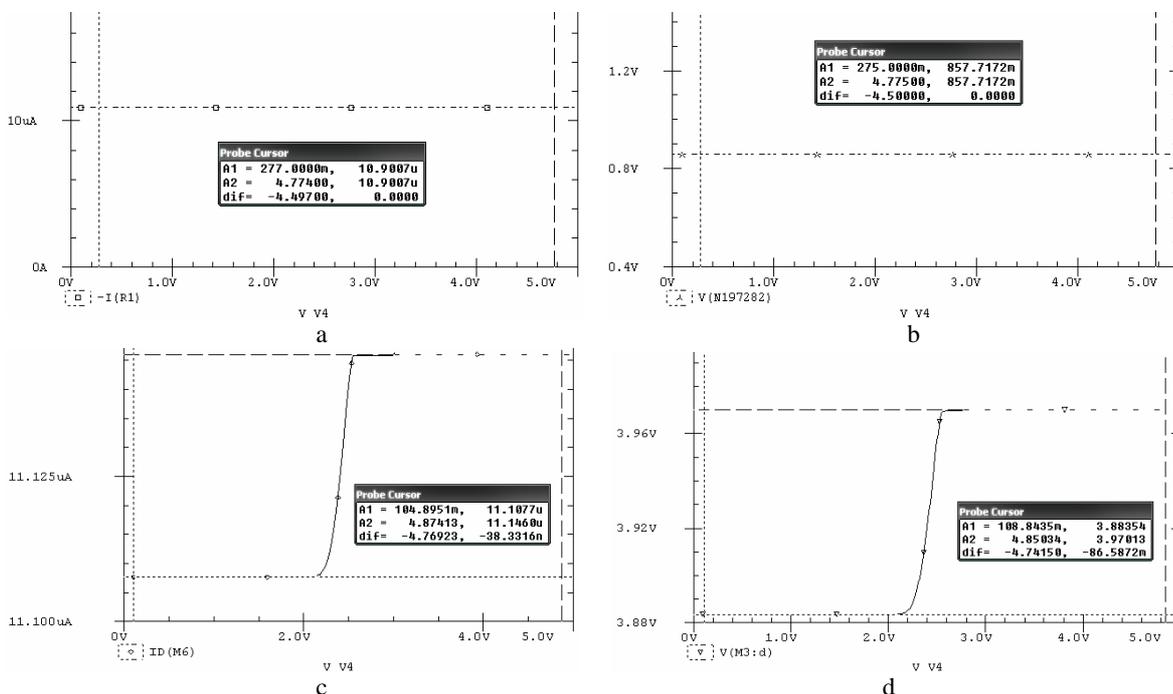


Figura 3.15: Simulación en base a correcciones en base a polarización.

Recalculando $W_{3,4,5}$ de la ecuación 3.47, se obtiene:

$$I_{SS} = 10.9\mu A = \frac{KP_p}{2} \frac{W_{3,4}}{L_3} (V_{GS3,4} - V_{THN})^2 = \frac{17 \frac{\mu A}{V}}{2} \cdot \frac{W_{3,4}}{3.75\mu m} (1.11 - 0.84)^2,$$

el ancho de los dispositivos será $W_{3,4} = 70.59\mu m \approx 94\lambda_D = 70.5\mu m$, en este punto, el circuito tendrá una configuración acorde con los requisitos de polarización (Fig. 3.16).

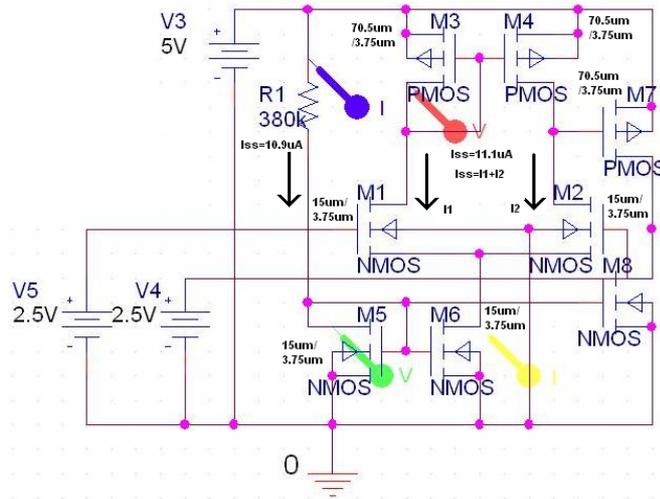


Figura 3.16: Dimensiones y polarización del OPAMP en base a simulaciones.

La ganancia de la segunda etapa de amplificación es

$$A_2 = -g_{m7}(r_{o7} \parallel r_{o8}) = \frac{-2\sqrt{\beta_7} I_{D7}}{(\lambda_7 + \lambda_8) I_{D7}} = \frac{-2}{(\lambda_7 + \lambda_8)(V_{SG} - V_{THP})} \quad 3.48$$

La ganancia en lazo abierto esta dada por la combinación de la ganancia de la primera etapa y la segunda etapa, en base a las ecuaciones 3.42 y 3.48:

$$A_{OL} = A_1 \cdot A_2 = g_{m1}(r_{o2} \parallel r_{o4}) \cdot [-g_{m7}(r_{o7} \parallel r_{o8})] \quad 3.49$$

$$|A_{OL}| = \sqrt{2 \cdot 50 \frac{\mu A}{V^2} \cdot \frac{15\mu}{3.75\mu} \cdot 11.1\mu A} \cdot \left[\frac{1}{(2 \times 0.06) 11.1\mu A} \right]^2 \cdot \sqrt{2 \cdot 17 \frac{\mu A}{V^2} \frac{70.5\mu}{3.75\mu} \cdot 11.1\mu A} = 3,163 \frac{V}{V}$$

Si I_{SS} fuera $10\mu A$, la ganancia sería $|A_{OL}| = 3511 \frac{V}{V}$ y se puede decir que si $I_{SS} = 1\mu A$ la ganancia se incrementará por un factor de 10.

La determinación de la ganancia mediante simulación se realiza aplicando una señal a la entrada positiva, generalmente se hace un barrido desde V_{SS} hasta V_{DD} y se aplica un voltaje igual a $\frac{V_{DD} + V_{SS}}{2}$ en la entrada inversora, se mide la señal de salida y la pendiente que forma será la ganancia del dispositivo. Los resultados se muestran a continuación:

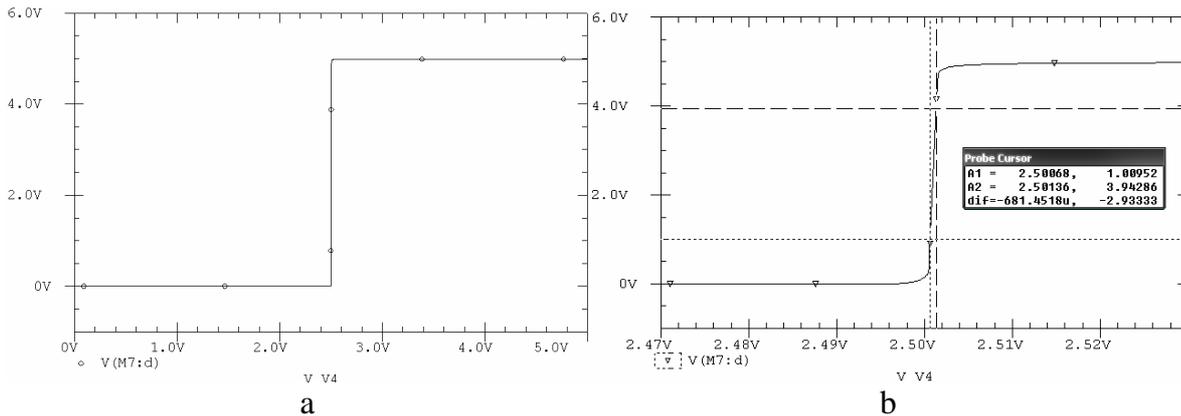


Fig. 3.17: Salida del OPAMP debido a un barrido de voltaje en la entrada. a) Barrido de 0 a 5V con incrementos de 0.001V y b) Barrido de 2.47V a 2.53V con incrementos de 0.0001V .

De la figura 3.17 se puede determinar que la ganancia está dada por:

$$|A_{OL}| = \frac{\Delta V_{SALIDA}}{\Delta V_{ENTRADA}} = \frac{2.93V}{6815\mu V} = 4,305 \frac{V}{V}, \quad 3.50$$

la ganancia se ve modificada debido al efecto de cuerpo, que da como resultado la variación de λ y la consiguiente afectación a la ecuación 3.49.

La corriente de salida de la segunda etapa será la misma que la de diseño, es decir $I_{SS} = 10.9\mu A$.

3.3.7. Análisis del circuito de pequeña señal

El modelo en pequeña señal de un amplificador de dos etapas, considerando los nodos de alta impedancia que determinan los polos dominantes, se muestra en la figura 3.18. La resistencia de la salida del amplificador diferencial R_1 , que se encuentra a tierra, está dada por:

$$R_1 = r_{o2} \parallel r_{o4} \quad 3.51$$

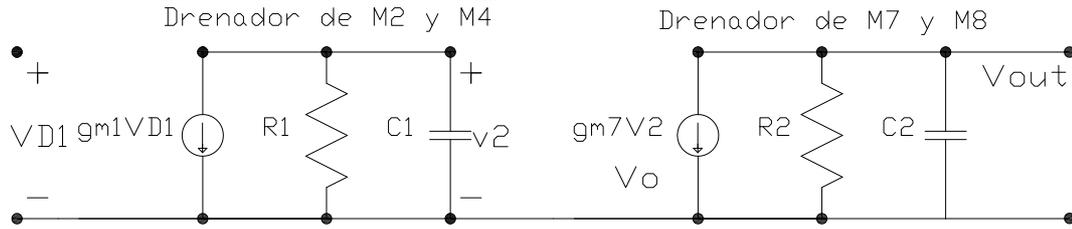


Figura 3.18: Modelo de pequeña señal para el amplificador de dos etapas.

La capacitancia C_1 se puede calcular con ayuda de la ecuación 3.31, donde, la capacitancia de carga C_L es $C_{gs7} + C_{dg7}$. Debido a que la capacitancia C_{dg7} se encuentra conectada entre la entrada y la salida de un amplificador, se utiliza el Teorema de Miller para descomponer la capacitancia en dos, donde una capacitancia es asociada a la entrada y otra se asocia a la salida de la etapa de amplificación. Las capacitancias de Miller se suponen conectadas entre la compuerta y la tierra física y entre el drenador y la tierra física. De tal forma que $C_L = C_{gs7} + C_{MI}$, donde, C_{MI} se conoce como la capacitancia de Miller a la entrada (Ver sección 2.3).

La capacitancia de Miller a la entrada se calcula multiplicando C_{gs7} por un factor $(1 - K)$, que en este caso será $K = |A_2|$, el valor absoluto se debe a que se trata de una ganancia; la capacitancia de salida se calcula multiplicando C_{gs7} por el factor $\left(1 - \frac{1}{K}\right)$ y $K = |A_2|$ de tal forma que $C_{MI} = (1 + |A_2|)$ y $C_{MO} = \left(1 + \frac{1}{|A_2|}\right)$, para transistores tipo p se tiene:

$$C_1 = C_{gs7} + C_{dg7}(1 + |A_2|) + C_{db4} + C_{gd4} + C_{db2} + C_{gd2} \quad 3.52$$

Para el presente amplificador se tiene:

$$R_1 = \frac{1}{(\lambda_m + \lambda_n) \cdot I_{SS}} = \frac{1}{(0.06V^{-1} + 0.06V^{-1}) \cdot 11.1\mu A / 2} = 1502k\Omega \quad 3.53$$

Las capacitancias se calcularán a partir de las ecuaciones 2.43-2.60, como se muestra en la tabla 3.1, donde los valores que serán utilizados son tomados de los parámetros para simulación. La capacitancia C_{gb} es asociada con el polisilicio de la compuerta sobre la región de campo eléctrico, las capacitancias C_{gd} y C_{gs} se determinan por la región de operación del transistor.

Tabla 3.1 Capacitancias del MOSFET

Nombre	Apagado	Tríodo	Saturación
C_{gd}	$CGDO \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$CGDO \cdot W$
C_{db}	C_j	C_j	C_j
C_{gb}	$C'_{ox} W L_{ef} + CGBO \cdot L$	$CGBO \cdot L$	$CGBO \cdot L$
C_{gs}	$CGSO \cdot W$	$\frac{1}{2} \cdot W \cdot L \cdot C'_{ox}$	$\frac{2}{3} \cdot W \cdot L \cdot C'_{ox}$
C_{sb}	C_j	C_j	C_j

De la tabla 3.1 las capacitancias serán:

$$C_{gs3,4,7} = \frac{2}{3} \cdot W_{3,4,7} \cdot L_{3,4,7} \cdot C'_{ox} = \frac{2}{3} \cdot 70.5 \mu m \cdot 3.75 \mu m \cdot \frac{35.1 \times 10^{-18} \frac{F}{\mu m}}{3.14 \times 10^{-8} m} = 197 \text{ fF} \quad 3.54$$

Donde $C'_{ox} = \frac{\epsilon_{ox}}{TOX}$ (faradios / m²), $\epsilon_{ox} = 35.1 \times 10^{-18} F / \mu m$ y $TOX = 3.14 \times 10^{-8} m$

$$C_{gd3,4,7} = W \cdot CGDO = 70.5 \mu \cdot 1.68 E - 10 = 11.84 \text{ fF} \quad 3.55$$

Tal que $CGDO$ es la capacitancia entre la compuerta y el drenador y esta dada por el fabricante. La capacitancia fuente-substrato y drenador-sustrato se da por:

$$C_{sb} = C_{db} = C_{sb,db bottom} + C_{sb,db sidewall} \quad 3.56$$

$$C_{sb,db bottom} = CJ \cdot \frac{AD(\text{Area drenador})}{\left(1 + \frac{V_{db}}{PB}\right)^{MJ}} \quad 3.57$$

$$C_{sb,db sidewall} = CJSW \cdot \frac{PD(\text{Perimetro drenador})}{\left(1 + \frac{V_{db}}{PBSW}\right)^{MJSW}} \quad 3.58$$

Donde CJ es la capacitancia de agotamiento por unidad de área para una polarización nula, $CJSW$ es la capacitancia de agotamiento por longitud de las paredes, PB , $PBSW$ son los potenciales debajo de la superficie y las paredes del drenador y MJ , $MJSW$ son los coeficientes de nivelación debajo de la superficie y las paredes; todos los anteriores parámetros se refieren al drenador o la fuente indistintamente y son dados por el fabricante. Substituyendo los parámetros en las ecuaciones 3.57 y 3.58:

$$C_{sb,db\ bottom} = 2.776174E - 4 \cdot \frac{6\mu m \times 70.5\mu m}{\left(1 + \frac{0}{0.99}\right)^{0.5491204}} = 117.4\ fF$$

$$C_{sb,db\ bottom} = 1.398481E - 10 \cdot \frac{6\mu m + 6\mu m + 70.5\mu m + 70.5\mu m}{\left(1 + \frac{0}{0.99}\right)^{0.100001}} = 21.4\ fF$$

$$C_{sb3,4,7} = C_{db3,4,7} = 117.4\ fF + 21.4\ fF = 138.8\ fF$$

La capacitancia de compuerta al drenador en M_2 se calculará con el parámetro $CGBO$, que es la capacitancia debida al traslape de la compuerta y el drenador y la capacitancia de la compuerta al drenador en M_7 será calculada mediante el parámetro $CGDO$, que es la capacitancia debida al traslape de la compuerta y el drenador, de tal forma que:

$$C_{gb3,4,7} = CGBO \cdot L_{3,4,7} = 1E - 9 \frac{F}{m} \cdot 3.75\mu m = 3.75\ fF \quad 3.59$$

$$C_{gd1,2,8} = CGDO \cdot W_2 = 1.68E - 10 \frac{F}{m} \cdot 15\mu m = 2.52\ fF \quad 3.60$$

La capacitancia $C_{db2,8}$ se calcula en base a las ecuaciones 3.56-3.58:

$$C_{db2,8} = 25\ fF + 5.87\ fF = 30.87\ fF$$

De la ecuación 3.48 $|A_2| = 63.24 \frac{V}{V}$, por lo tanto, la capacitancia C_1 es:

$$C_1 = 197\ fF + 11.84\ fF(1 + 63.24) + 138.8\ fF + 11.84\ fF + 30.87\ fF + 2.52\ fF = 1.14\ pF$$

El nodo en el drenador de M_7 esta caracterizado por R_2 y C_2 , donde, R_2 tiene un valor idéntico a R_1 , debido a que la corriente de polarización es exactamente el mismo:

$$R_2 = 1502\ k\Omega$$

La capacitancia C_2 esta dada por:

$$C_2 = C_{gd7} \left(1 + \frac{1}{|A_2|} \right) + C_{db7} + C_{db8} + C_{gd8} \quad 3.61$$

$$C_2 = 11.84 \text{ fF} \left(1 + \frac{1}{63.24} \right) + 138.8 \text{ fF} + 30.87 \text{ fF} + 2.52 \text{ fF} = 184 \text{ fF}$$

3.3.8. Análisis de la respuesta en frecuencia

La ganancia del OPAMP en lazo cerrado se describe en términos de:

$$A_{CL} = \frac{A_{OL}}{1 + A_{OL}\beta} \quad 3.62$$

El amplificador se volverá inestable cuando la ganancia de lazo abierto $A_{OL}\beta = -1$ sea:

$$|A_{OL}\beta| = 1 \quad \text{y} \quad \angle A_{OL}\beta = \pm 180^\circ \quad 3.63$$

β representa la cantidad de la señal de salida que será retroalimentada y sustraída a la entrada del amplificador; el mayor valor posible de β sin amplificación, se da cuando $\beta = 1$, creando un seguidor de voltaje, como se muestra a continuación:

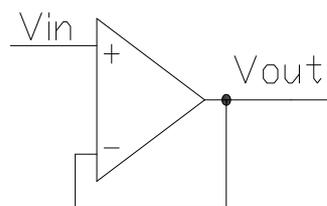


Figura 3.19: OPAMP en configuración de seguidor de voltaje.

Bajo la configuración de seguidor de voltaje, la ecuación 3.63 se puede escribir como:

$$|A_{OL}| = 1 \quad \text{y} \quad \angle A_{OL} = \pm 180^\circ \quad 3.64$$

El término respuesta en frecuencia hace referencia a la respuesta de un sistema en estado estacionario a una entrada sinusoidal. En los métodos de respuesta en frecuencia, la frecuencia de la señal de entrada se varía en un cierto rango, para estudiar la respuesta resultante [3.14-3.16].

Una ventaja del método de la respuesta en frecuencia, es que se pueden utilizar los datos obtenidos de las medidas del sistema, sin deducir el modelo matemático.

La salida en estado estacionario de una función de transferencia de un sistema, se puede obtener directamente de la función de transferencia sinusoidal, es decir, substituyendo en la función de transferencia s por $j\omega$, donde ω es la frecuencia.

Diagramas de Bode

Un diagrama de Bode está formado por dos gráficas; una es la gráfica del logaritmo de la magnitud de la función de transferencia sinusoidal, que es el cociente de amplitud entre las señales sinusoidales de salida y de entrada, y la otra es la gráfica del ángulo de fase, que es el desplazamiento de fase de la señal sinusoidal de salida con respecto a la entrada [3.15].

La simulación en Orcad a una entrada que varía desde 0.01Hz hasta 10GHz , con incrementos logarítmicos de 10 décadas, se muestra en la figura siguiente:

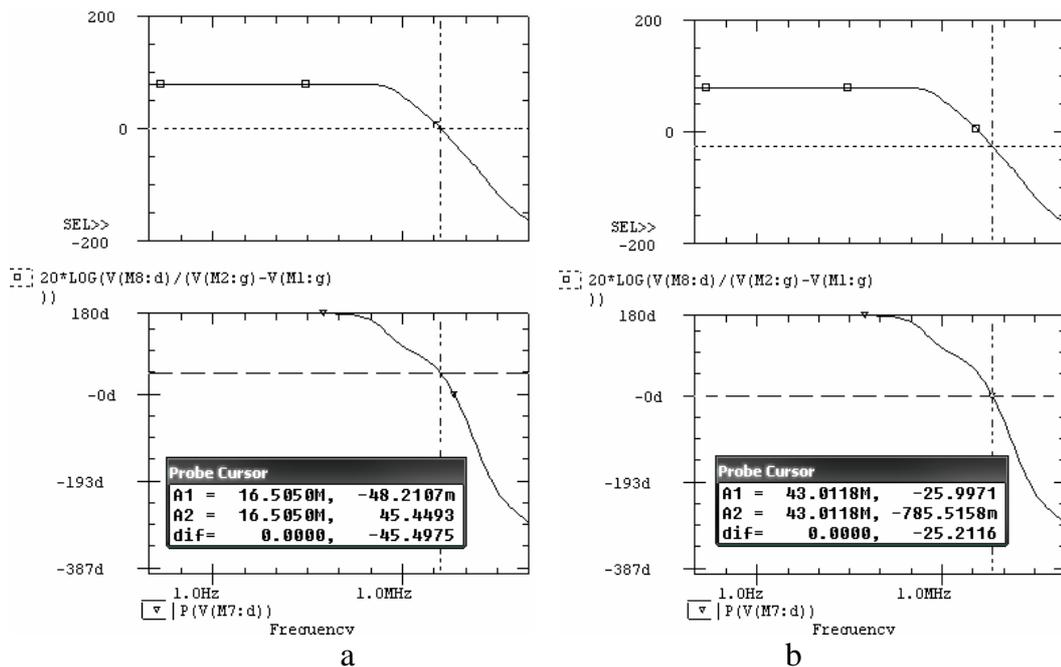


Figura 3.20 Diagramas de Bode usando Orcad. a) Margen de fase y b) Margen de ganancia.

De la figura 3.20a se observa que el sistema presenta una ganancia unitaria (0 dB), correspondiente a un defasamiento de 45° . La figura 3.20b muestra que la ganancia es -25.997 dB cuando la fase se ha invertido completamente. De lo anterior, se concluye que el sistema no requiere compensación externa.

3.3.9. Caracterización del OPAMP

Idealmente, si ambas entradas del amplificador se encuentran a tierra, el voltaje de salida es el voltaje de tierra, sin embargo, esto no es así y está descrito por el voltaje de polarización nula, mostrado en la figura 3.21a, tal que $V_{os} = 2.50202V$.

Se denomina rango de salida al voltaje de salida ligado linealmente a la entrada aplicada, la figura 3.21b muestra el potencial a la salida del amplificador para una entrada que varía de 0V a 5V. Se observa que el rango va de 250mV a 4.75V.

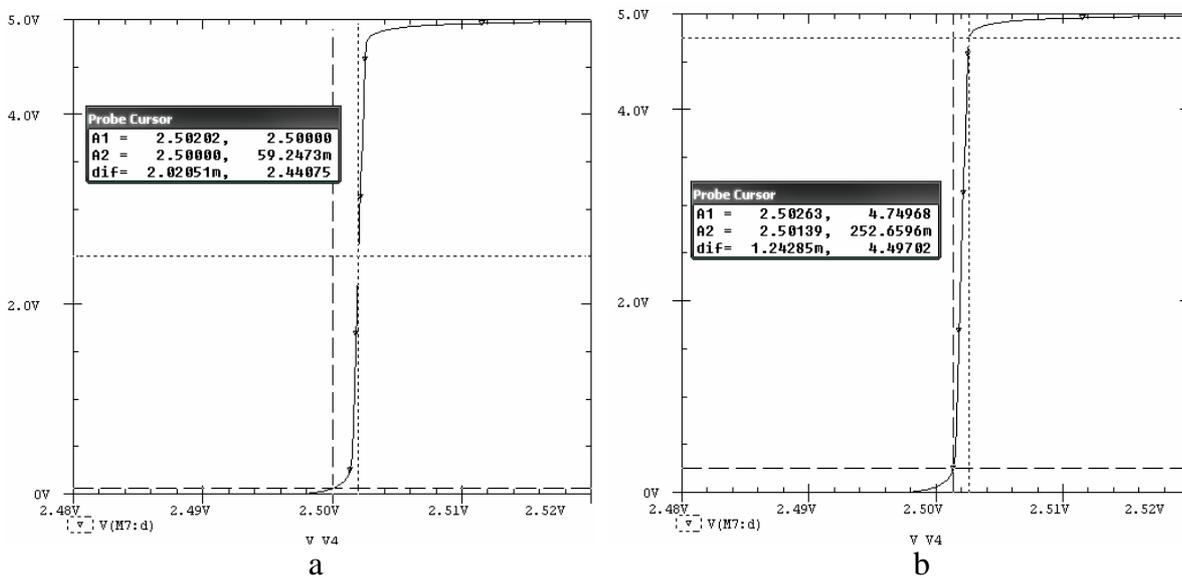


Figura 3.21: Salida del OPAMP a una entrada rampa de 0 a 5V con incrementos de 0.0001V para determinar a) el voltaje de polarización nula y b) el rango lineal de salida.

Una habilidad del amplificador diferencial es rechazar una señal común aplicada a sus dos entradas y está representada por la ganancia en modo común, mostrada en la figura 3.22 y descrita por la ecuación 3.37, substituyendo:

$$CMRR = 20 \log \left| \frac{644447.4448}{\sqrt{2.50 \frac{\mu A}{V^2} \cdot \frac{15}{3.75} \cdot 11.1 \mu A}} \cdot \left[\frac{2}{(0.12)11.1 \mu A} \right] \cdot \frac{644447.4448}{\sqrt{2.17 \frac{\mu A}{V^2} \cdot \frac{70.5}{3.75} \cdot 11.1 \mu A \cdot 1.63 M\Omega}} \right|$$

$$CMRR(dB) = -41.486dB = 0.00843V/V$$

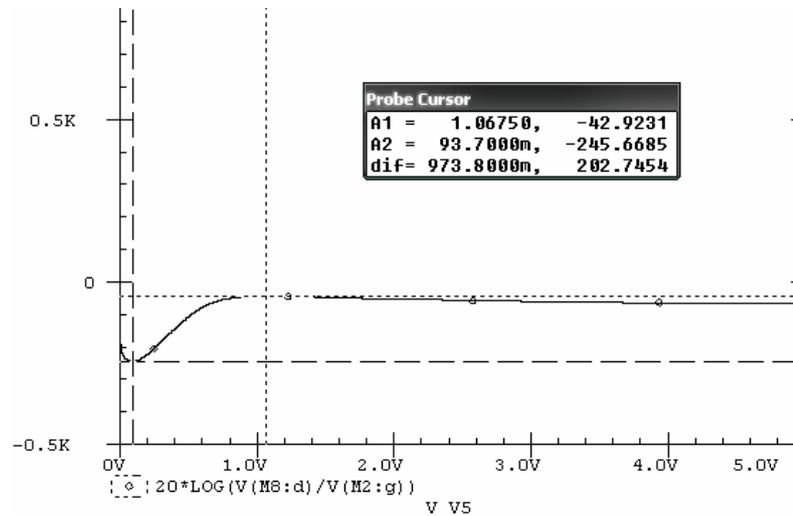


Figura 3.22: Ganancia en modo común para una entrada que varía de 0 a 5V con incrementos de 0.0001V .

De la figura 3.22, se observa que $CMMR$ tiene un valor mínimo de -42.92 dB .

La potencia disipada por un amplificador operacional, es simplemente el producto de la suma de las corrientes por el voltaje de alimentación, para el circuito de la figura 3.15, $P = 5V(10.9\mu A + 11.1\mu A + 11.1\mu A) = 160\mu W$.

El rechazo de fuente de alimentación describe el comportamiento del amplificador operacional en presencia de ruido en la alimentación; una forma común de encontrar este parámetro es aplicando una señal senoidal en serie con la alimentación V_{DD} , estando ambas entradas a tierra y ver su efecto en la salida.

$$PSRR = A_{OL} / (v_{out} / v_{sin}) \quad 3.66$$

Tras efectuar la simulación, se observa que $v_{out} / v_{sin} \approx -71.98 \text{ dB}$ para frecuencias menores a 3.93 kHz y de -26.86 dB cuando la ganancia del amplificador es cero, es decir, cuando la frecuencia es 16.5 kHz (Fig. 3.23a), de esta forma $PSRR = 99.5 \text{ dB} / -26.86 \text{ dB} = -3.704 \text{ dB} = 0.653 \text{ V} / \text{V}$.

La frecuencia máxima, es aquella que asegura tener una ganancia con un máximo de 3 dB de atenuación en lazo abierto, es decir, si se sobrepasa la frecuencia máxima existirá una atenuación mayor a 3 dB , modificando las características del dispositivo y la ganancia disminuirá conforme la frecuencia aumente (Fig. 3.23b).

En la siguiente figura se observa que la frecuencia máxima es $f_{\max} = 195 \text{ kHz}$:

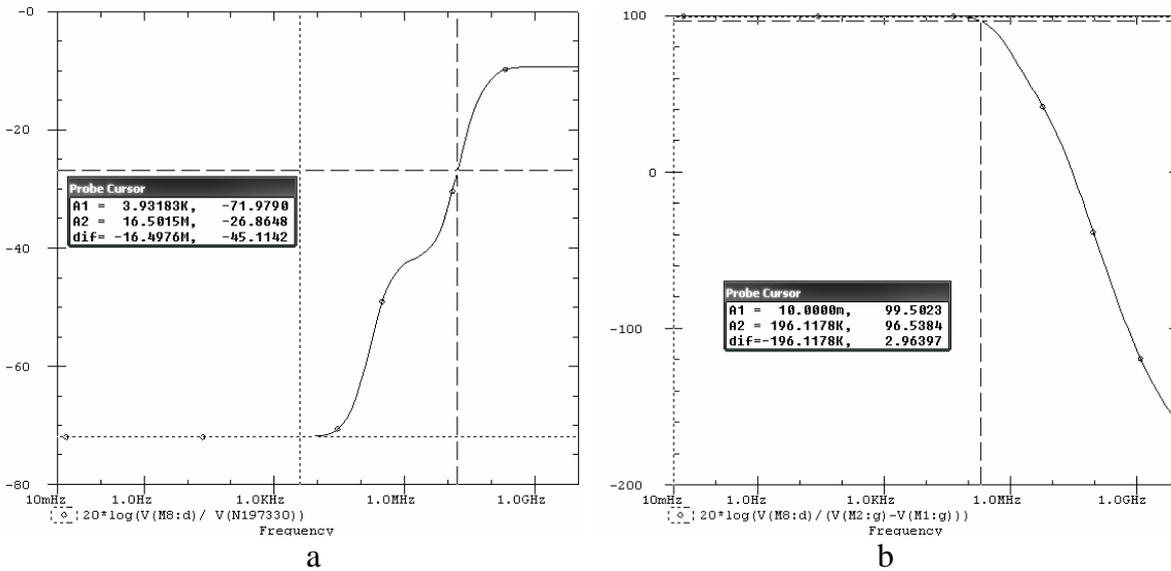


Figura 3.23 a) Simulación para encontrar la relación v_{out} / v_{sin} , b) Diagrama de bode.

La respuesta del sistema a una entrada escalón en modo seguidor permite conocer el tiempo de respuesta del amplificador operacional.

Por medio de simulación se determinó que el tiempo necesario para alcanzar la referencia, con una entrada escalón y una carga de $10nF$ es de $6\mu s$ es decir, los cambios en la entrada de $1V$ en $0.0001\mu s$ afectará a períodos de muestreo mayores a $166.66kHz$; la simulación se muestra en la figura 3.24.

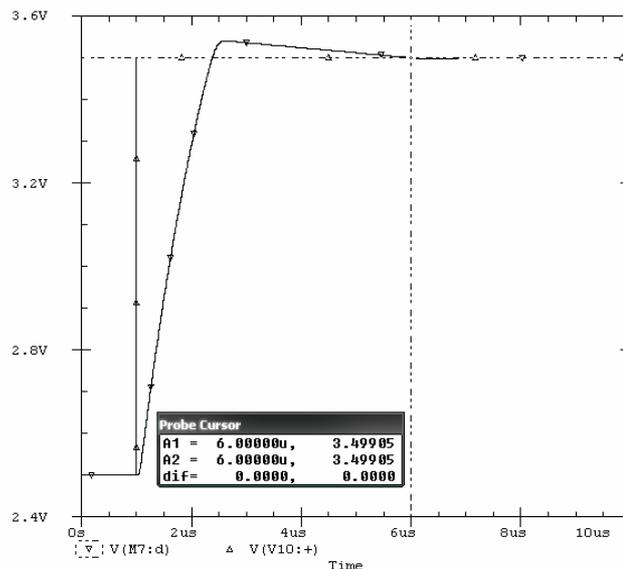


Figura 3.24 Respuesta del OPAMP a una entrada escalón de $1V$

3.4. Adecuación de señal

La película sensora de ZnO (Fig. 3.25) presenta una variación resistiva con respecto a la concentración de CO , los valores de esta resistencia fueron obtenidos en laboratorio, mediante equipo de medición especialmente diseñado para este efecto (Fig. 3.26) [3.1].

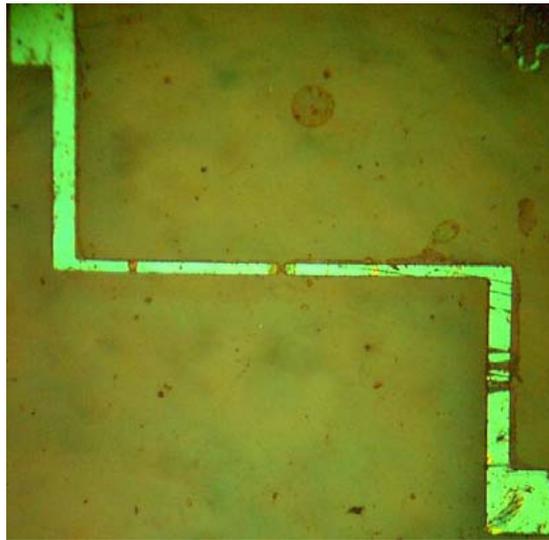


Figura 3.25: Microsensor real de dimensiones $20\mu\text{m} \times 20\mu\text{m}$.

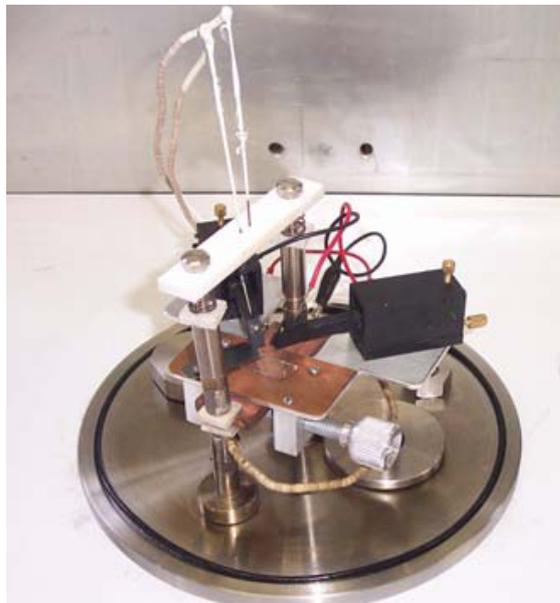


Figura 3.26: Sistema de medición.

Las mediciones se realizaron a 20, 100, 200 y 300°C con concentraciones desde 0 ppm hasta 100 ppm, para caracterizar la resistencia (Fig. 3.27a), mediante una estación de prueba (Fig. 3.26), constituida por mecanismos de medición ajustables. La sensibilidad se calculó como $S = (R_{ref} - R_{GAS}) / R_{ref}$ (Fig. 3.27b), con una estructura de material aislante y puntas de prueba de tungsteno [3.1, 3.11, 3.12].

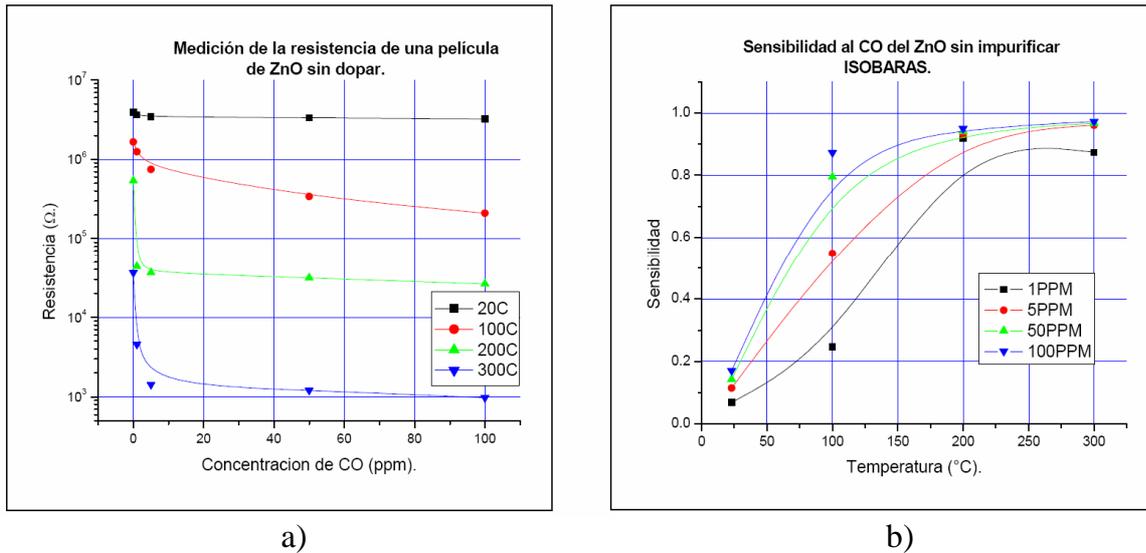


Figura 3.27: Mediciones en la película sensora de ZnO. a) Resistencia contra concentración, b) Sensibilidad contra temperatura.

De los resultados anteriores se puede observar que el sensor tiene rango de resistencia que varía desde un valor de $3.17 \times 10^8 \Omega$ hasta un valor de $5.98 \times 10^7 \Omega$, con un comportamiento logarítmico, esto crea la necesidad de una etapa de adecuación de señal que permita linealizar el comportamiento del sensor y entregar una señal dentro de un rango conveniente para su correcta medición [3.1, 3.11, 3.12].

Las características eléctricas de los semiconductores están íntimamente ligadas a la temperatura a la cual se encuentran, por esto, la película de ZnO debe alcanzar temperaturas de 300 °C para el correcto proceso de adsorción y desorción de gases oxidantes o reductivos. Para alcanzar la temperatura óptima, se hace uso de un microcalefactor de polisilicio que eleva la temperatura del sensor por efecto Joule, una micro placa caliente que distribuye el calor en forma homogénea y un aislante térmico, que en este caso, es un microfoso MEMS, desarrollado bajo tecnología CMOS. La respuesta en resistencia se muestra en la Figura 3.28:

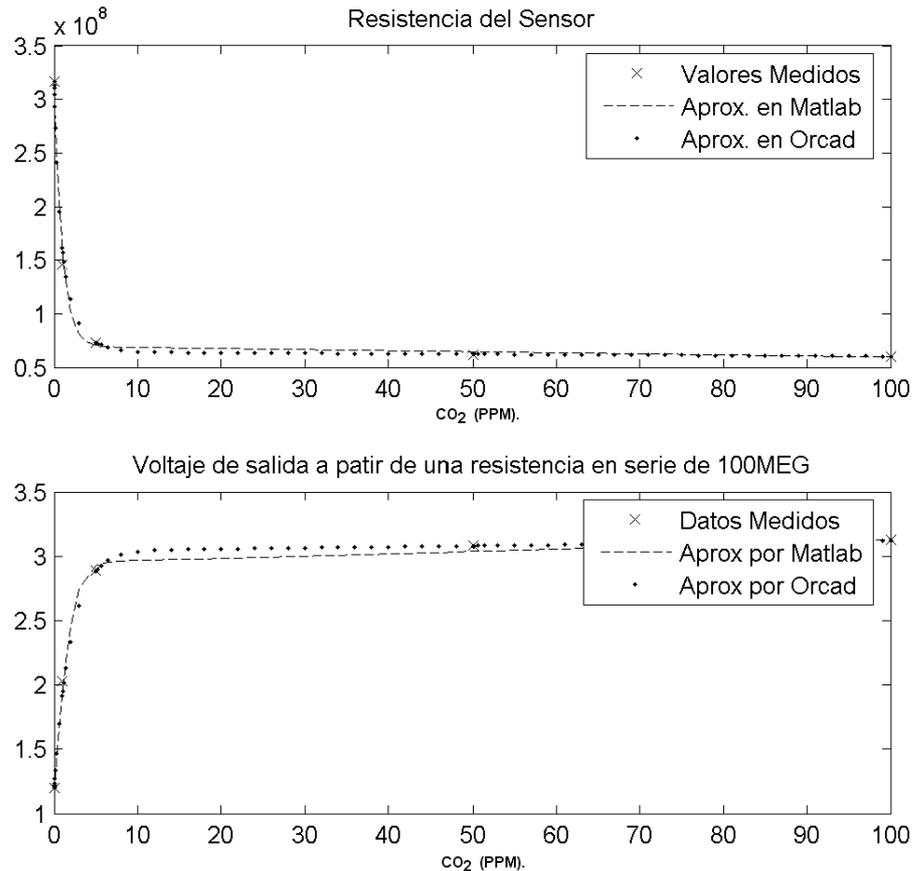


Figura 3.28 Variación de la resistencia del sensor y potencial a la salida de un divisor de voltaje para diversas concentraciones de CO_2 .

El uso de una resistencia en serie con el sensor permite obtener valores de voltaje para distintas concentraciones de CO_2 , porque no se puede medir directamente la variación en la resistencia del sensor. Si un equipo de medición se conecta directamente a la salida del divisor de voltaje, es muy posible que interactúe como una carga, es decir, actuará como una resistencia en paralelo con la resistencia del sensor, afectando la medición.

Se conecta un amplificador operacional en modo de seguidor de voltaje a la salida del divisor, con lo que se anula la posibilidad de interacción entre el sensor y la carga, en este caso, la carga es un amplificador de ganancia variable.

La salida en voltaje del divisor de voltaje formado por el sensor de gases y la resistencia de $100M\Omega$ es logarítmica y se desea una salida en voltaje proporcional a la concentración. El amplificador de ganancia variable responde a la necesidad de linealizar la variación del voltaje de salida de la etapa de adecuación de señal con respecto al cambio en la concentración de CO presente en el sensor.

Analizando la pendiente de la curva logarítmica, se encontró que existen cuatro regiones donde la variación en la pendiente varía de forma mínima, por lo tanto, el amplificador de ganancia variable tiene cuatro cambios posibles en su ganancia (con la posibilidad de ser quince). Se debe entender que cada una de las regiones anteriores tiene una pendiente distinta.

El amplificador de ganancia variable permite que la pendiente de todas las regiones sea exactamente la misma, sin embargo, disminuye o aumenta la magnitud del voltaje en esa región, en otras palabras, desplaza la región entera hacia arriba o hacia abajo, por tal motivo, se recurre a voltajes de compensación. Los voltajes de compensación son distintos para cada región y dependen de la ganancia, son voltajes que se restan o se suman a la región entera, desplazándola hacia abajo o hacia arriba, dependiendo si se aplica una ganancia o una atenuación de señal respectivamente.

La variación de la ganancia tiene como fin, que todas las regiones tengan exactamente la misma pendiente y la compensación tiene como fin “unir” todas esas regiones, es decir, formar una salida lineal con respecto a la entrada.

El seguidor de voltaje que se acopla a la salida del OPAMP de ganancia variable con el fin de evitar interacciones con la carga. La figura 3.29 muestra la configuración con la que se pretende este efecto:

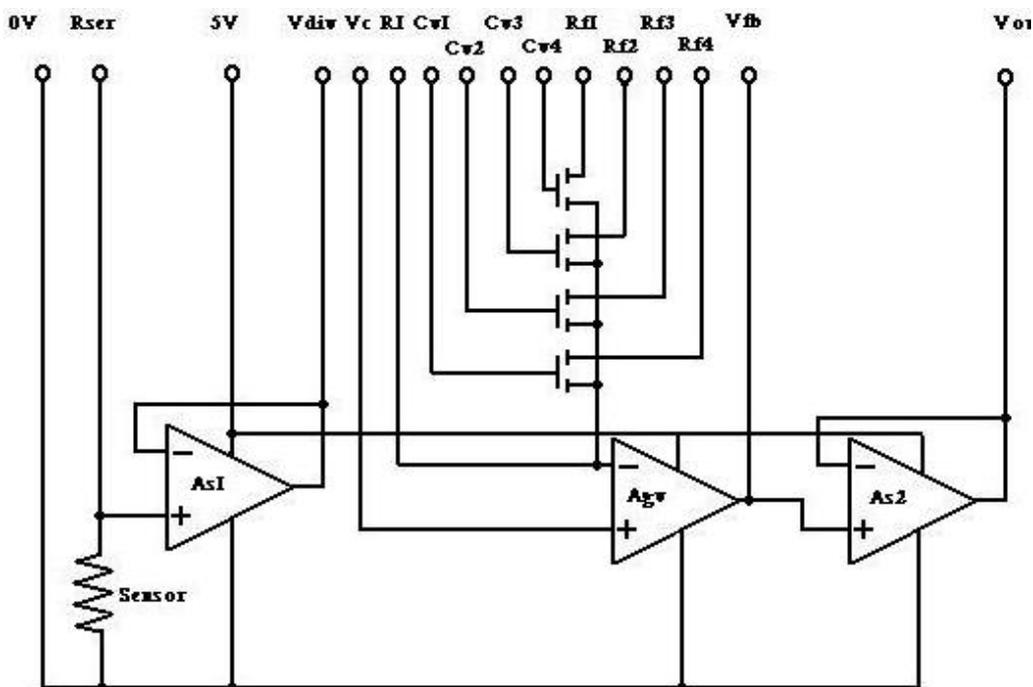


Figura 3.29 Diseño esquemático del Microcircuito

En el diseño se pretende que todas las resistencias sean externas, las resistencias que hacen variar la ganancia, se determinan en base a la ganancia que se requiera mediante la siguiente ecuación:

$$|A_{OL}| = \frac{V_{SALIDA}}{V_{ENTRADA}} = -\frac{R_2}{R_1} \quad 3.67$$

Siguiendo el diseño de la figura 3.29, las terminales se observan en la parte superior del diseño, de izquierda a derecha, la primera terminal y la tercera, son de alimentación a 5V, la segunda terminal se conecta a una resistencia de $100M\Omega$, para crear un divisor de voltaje y obtener una salida adecuada para el seguidor de voltaje $As1$, cuya función es eliminar la interacción del sensor con la carga.

V_{div} es el voltaje a las salida de $As1$. Entre las terminales V_{div} y R_1 se conecta la resistencia de entrada R_1 ; V_c es el voltaje que compensa el cambio de ganancia del amplificador operacional A_{gv} ; $C_{V1,2,3,4}$ son las señales de control que determinan a través de qué resistencia se realiza la retroalimentación; entre las terminales $R_{f1,2,3,4}$ y V_{fb} se conectan las resistencias de retroalimentación R_f y por último, la señal del amplificador de ganancia variable pasa por un seguidor de voltaje, que evita que la carga drene corriente al amplificador de ganancia variable; V_{OUT} es el voltaje de salida.

El microchip que se ha diseñado, permite la conexión de cuatro resistencias con las cuales se variará la ganancia de un amplificador operacional, serán conectadas a transistores que funcionan como interruptores. Los transistores permiten seleccionar a través de qué resistencia se hará la retroalimentación; mediante una señal que activa o desactiva cada uno de ellos, en base al voltaje de salida del primer amplificador operacional. En el diseño se incluyen dos seguidores de voltaje y el propio sensor de gases.

Se podría pensar que todas las resistencias y fuentes de voltaje de compensación pueden ser incluidos dentro del chip, pero se tienen diversas limitaciones en cuanto al diseño de resistencias, al ser fabricadas pueden llegar a variar su valor 30% al valor de diseño, al incluirlas, se aumenta el área de diseño y se aumenta el costo de fabricación y por último, la razón más importante, el sensor de gases, como cualquier dispositivo de medición, requiere ser calibrado cada cierto tiempo, por tanto, se recurrirá a potenciómetros como resistencia de retroalimentación y los voltajes a la entrada no inversora, se harán por medio de divisores de voltaje, es decir, potenciómetros con una resistencia en serie.

La detección de voltaje de activación y el control de los transistores se hará por medio de amplificadores operacionales externos. [3.6-3.8, 3.14]

El acondicionamiento de señal se realiza de manera completamente arbitraria, es decir, el diseño es flexible ya que permite modificar la señal de salida a partir de las necesidades del usuario.

Debido al uso de un amplificador de ganancia variable, la señal de salida tendrá una pendiente negativa, se fijará un voltaje de salida de 3V para 0 ppm y una variación de -2mV por ppm, es decir -0.2V por cada 100 ppm; el ajuste de las ganancias se deberá hacer mediante simulación y en caso de existir un circuito físico, mediante lecturas de variación de voltaje contra ppm. Las anteriores condiciones son completamente arbitrarias, se puede ajustar el voltaje de salida del divisor de voltaje modificando el valor de la resistencia en serie con el sensor, se puede modificar el voltaje de salida para 0 ppm por medio del voltaje de compensación V_c y se puede cambiar la variación de voltaje con respecto a las ppm, determinando ganancias más bajas o altas con la ecuación 3.67.

El circuito simulado en Orcad se muestra en la figura 3.30

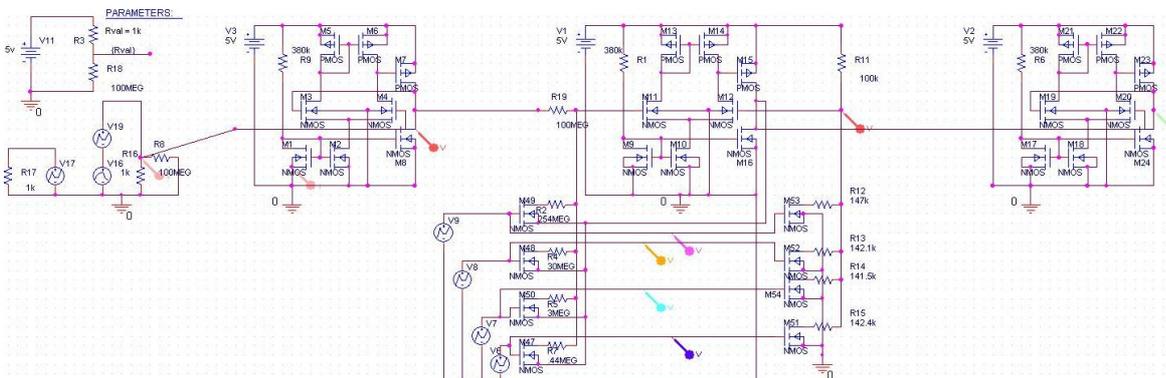


Figura 3.30 Circuito equivalente a la figura 3.26, con polarización aplicadas.

En la figura 3.30 se observa el circuito de adecuación de señal, con dos amplificadores operacionales como seguidores de voltaje, que aíslan el circuito de adecuación. En las figuras 3.31 y 3.32 se observan los voltajes de compensación y control respectivamente. En la parte superior de figura 3.33 se observa la salida de potencial proveniente del sensor y una resistencia de $100\text{M}\Omega$ en serie, en la parte inferior se muestra la salida de voltaje de la etapa de adecuación de señal, donde la variación de voltaje con respecto a las ppm de CO es la deseada y proporcional. Otro parámetro importante es la resistencia de entrada $R_{in}=1\text{E}30\Omega$, la cual, permite la conexión del amplificador y el sensor.

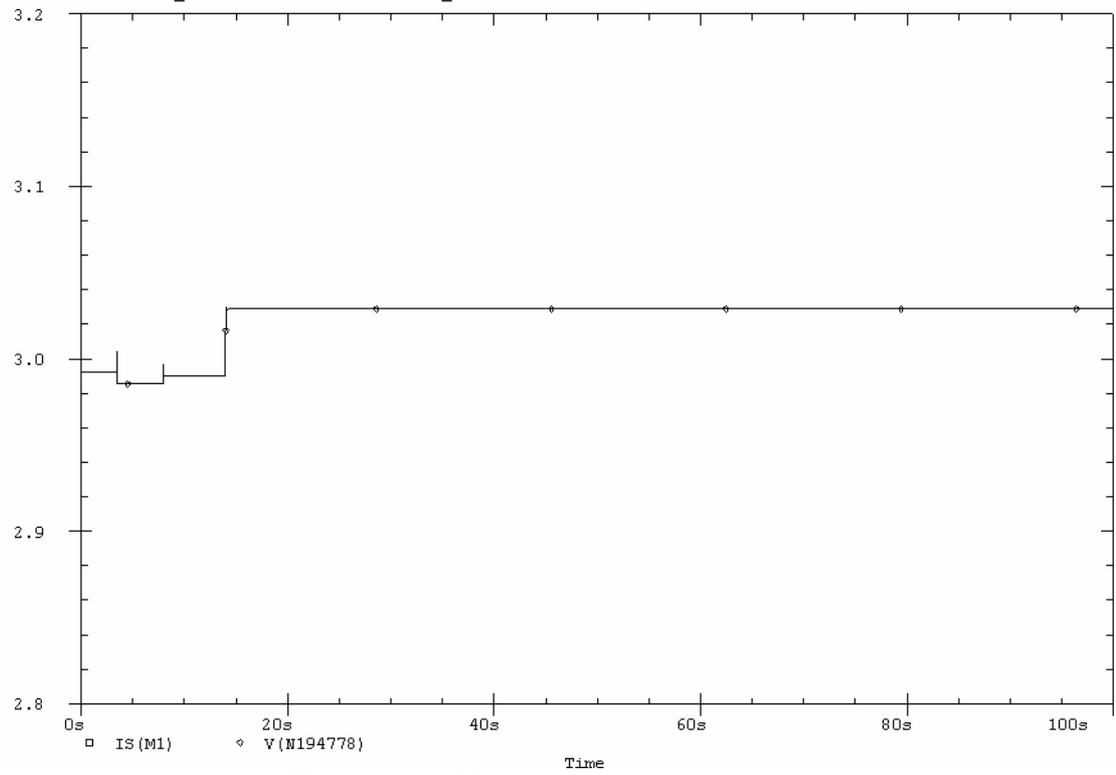


Figura 3.31 Voltajes de compensación

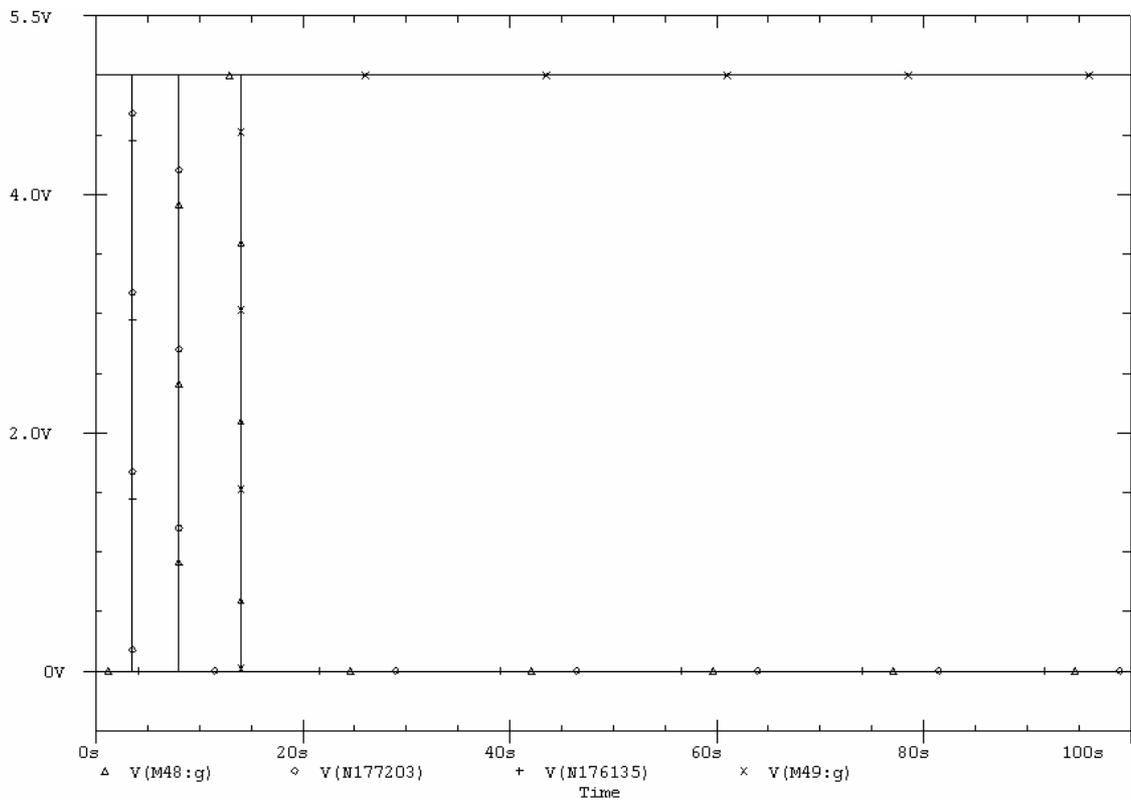


Figura 3.32 Voltajes de control

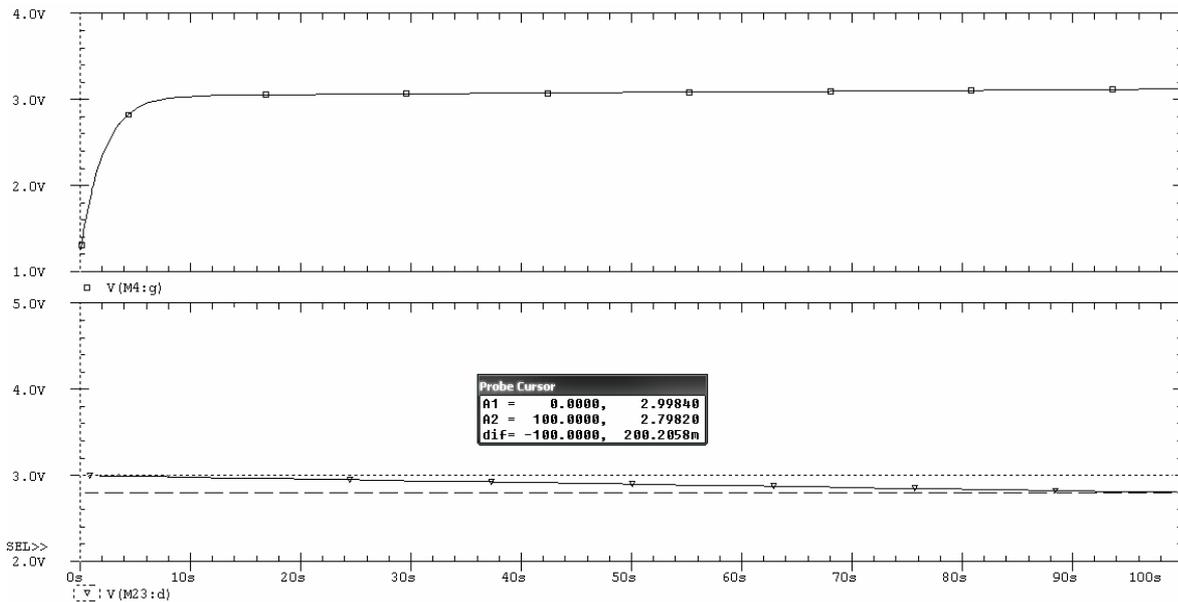


Figura 3.33: Potencial a la salida del divisor de voltaje (Superior), Salida de voltaje del circuito de adecuación de señal (inferior).

Otro factor es la resistencia de salida $R_{out} = 14.66k\Omega$, que define el valor máximo de la carga del OPAMP, como se observa a continuación:

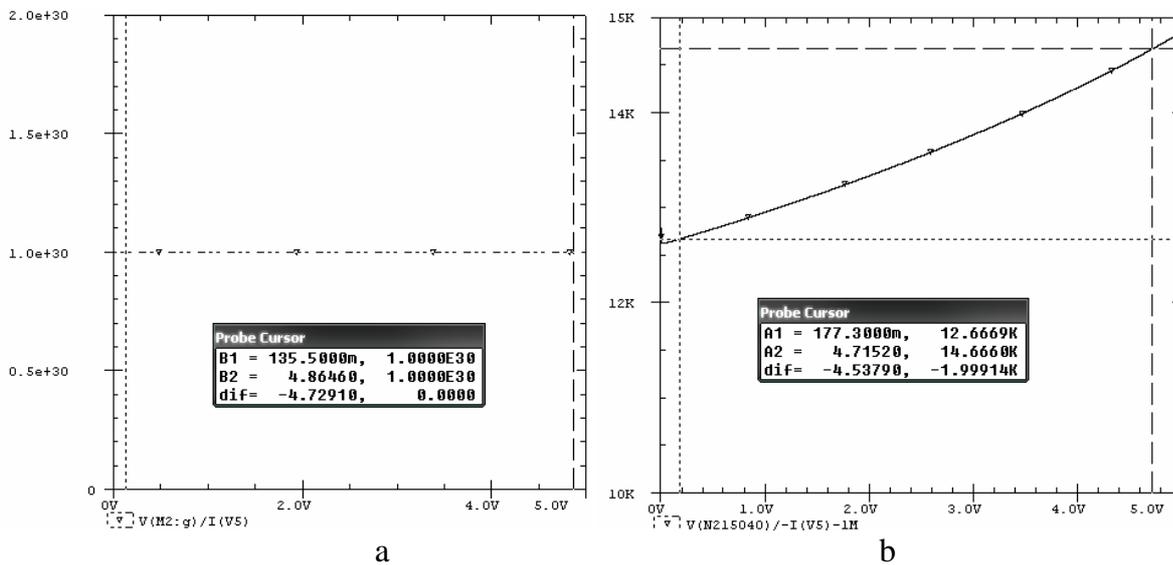


Figura 3.34: Resistencia, a) a la entrada y, b) a la salida del OPAMP.

3.5. Conclusiones

El diseño de un amplificador operacional se debe efectuar en base a diversos conocimientos: física de semiconductores, electricidad, magnetismo, funcionamiento y modelado de transistores, configuraciones, conceptos de estabilidad, estabilidad en frecuencia, manejo de paquetes de simulación y aproximación; finalmente todo lo anterior sólo funciona como guía en el diseño, ya que únicamente las simulaciones computacionales pueden dar una aproximación más cercana a la realidad.

La variación de la resistencia en función con la concentración de monóxido de carbono del sensor de gases es logarítmica, con una variación de casi dos órdenes de magnitud que hace necesario el uso de una etapa de adecuación de señal, la cual, linealizará la salida del sensor y llevará la señal de salida a un rango estandarizado o deseado para su correcta medición.

En etapas de adecuación de señal se debe tener una buena aproximación del comportamiento del sensor; las aproximaciones aquí utilizadas se determinaron por medio de Matlab con el método de gradiente recursivo para alcanzar la mejor y más cercana, sin embargo, Orcad permite diseñar funciones más aproximadas al comportamiento de circuitos eléctricos debido a que se utilizan elementos resistivos, capacitivos e inductivos para diseñarlas, además, las funciones generadas en Matlab presentan complicaciones al ser definidas en Orcad.

No basta que un circuito diseñado cumpla con la función básica para la que se empleará, también debe cumplir con todos los estándares de diseño y funcionamiento definidos para circuitos, ya sea en circuitos extremadamente complejos o en circuitos en extremo sencillos.

El diseño es una tarea ardua que requiere varias horas de simulación y cálculo manual para encontrar una configuración funcional. Se observó que el uso transistores tipo p en lugar de tipo n , provoca que todos los transistores salgan de saturación y el comportamiento sea inestable, además de aumentar el tamaño del diseño. La utilización de una etapa de adecuación de señal tipo logarítmica no funciona, debido a que las constantes que definen a ésta, no son iguales a los parámetros de respuesta del sensor y por lo tanto, no se anulan mutuamente. Se intentó variar la ganancia del amplificador operacional en función de la entrada, lo cual, no dio resultados eficientes. Por último, se intentó trabajar con las zonas no lineales de voltaje, es decir, las entradas que provocan que la salida se acerque al voltaje de alimentación, obteniendo resultados positivos en la simulación, sin embargo, el proceso de fabricación afecta las características de estas zonas de la salida del amplificador operacional.

3.6. Bibliografía

- 3.1 Aplicación De Estructuras Micro-Electro-Mecánicas (MEMS) Con Tecnología CMOS Para Sensores De Parámetros Físicos. Dr. José Luíz González Vidal, tesis de doctorado, CINVESTAV, 2006.
 - 3.2 J.Vac. Sci. Techno. B, vol. 6, no. 6, pp 1809-1813, Nov-Dec 1988 American Institute of Physics.
 - 3.3 American Institute of Physics. IEEE Electron Devices Meeting, 1988 American Institute of Physics. 1986, pp 176-179.
 - 3.4 Microelectronics, An Integrated Approach. Roger T. Howe, Charles G. Sodini. Prentice Hall.
 - 3.5 Operation and Modeling of the MOS Transistor. Yannks P. Tsiviois.
 - 3.6 CMOS Circuit Design, Layout, and Simulation. R Jacob Baker, Harry W. Li and David E. Boyce. Department of EE. Microelectronics Research Center. IEEE PRESS.
 - 3.7 Análisis y Diseño de Circuitos Integrados Analógicos. Paul R. Gray, Robert G. Meyer. Prentice Hall.
 - 3.8 Design of Analog CMOS Integrated Circuits. Behzad Razavi Professor of Electrical Engineering. University of California. 2001. McGraw-Hill Higher Education.
 - 3.9 MICROMECHATRONICS. Modelling, Analysis, and Design with MATLAB®. Victor Giurgiutiu, Sergey Edgard Lyshevsky. CRC PRESS
 - 3.10 Electronic Circuits, Discrete and Integrated, Donald L. Schilling, Charles Belove, Tuvia Apelewicz, Raymond J. Saccardi, 1999, Third Edition, McGraw-Hill Book Company.
 - 3.11 J. L. González-Vidal, Alfredo Reyes-Barranca y Wilfrido Calleja Arriaga, “Technological Processes For Micro-Heater And Micro-Hot-Plate In The Implementation of a MEM Gas Sensor”, 2nd International Conference on Electrical and Electronics Engineering (ICEEE) and XI Conference on Electrical Engineering (CIE 2005), Mexico City, México, 7-9 de septiembre del 2005, 440-443.
 - 3.12 J. L. González-Vidal, Alfredo Reyes-Barranca, Wilfrido Calleja Arriaga, Juan Silva-F e I. Juárez, “Caracterización la interfase de Polisilicio-ZnO, para un microsensord de gases micromaquinado”, *XXV Congreso Nacional Sociedad Mexicana De Ciencia y Tecnología de Superficies y Materiales, Zacatecas, Zacatecas*, 26-30 de septiembre del 2005.
 - 3.13 W. Calleja-Arriaga, et al, “CO Gas Sensor Based on a Doped ZnO Film with a Microhotplate/Floating-Gate MIS Structure”, *MEMS and NEMS, AVS 52nd International Symposium*, Boston, MA, Estados Unidos, 30 de octubre-4 de noviembre del 2005.
 - 3.14 Process Control Instrumentation Technology. Curtis D. Johnson. Prentice Hall. 2003.
 - 3.15 Ingeniería de Control Moderna. Katsuhiko Ogata. 4ª edición. Prentice Hall. 2003.
 - 3.16 Ingeniería de Control Utilizando MATLAB®, un enfoque práctico. Katsuhiko Ogata. University of Minnesota. Prentice Hall. 1999.
-

Capítulo 4

Layout

4.1. Introducción

El diseño de un circuito para su fabricación (Layout), comprende diversos pasos, hasta el momento se han definido entradas y salidas, se han efectuado los cálculos manuales y la simulación del circuito, en consecuencia, se debe hacer el diseño para fabricación.

Los diseños para aplicaciones específicas se denominan ASIC (Circuitos Integrados para Aplicaciones Específicas), en el cual, es de extrema importancia que el diseñador del circuito sea capaz de definir el modelo para fabricación y de entender los efectos parásitos en éste. Los efectos se presentan como capacitancias, inductancias, uniones pn , transistores bipolares y resistencias, el entendimiento de dichos problemas, es indispensable para alcanzar precisión y velocidades de funcionamiento deseadas. [4.1]

Para el diseño, se ha utilizado el programa de diseño Tanner L-Edit pro 8.11, que permite evaluar las condiciones mínimas que aseguran el correcto funcionamiento.

4.2. Elementos de diseño

El Layout es un plano de construcción, donde se dibujan cuadrados o polígonos en diferentes capas que indican como ensamblar el circuito, esto se hace en base a químicos, luminosos, litográficos y de implantación. [4.1-4.5]

La capa denominada *Nwell* es aquella donde el substrato ha sido modificado, es decir, se utiliza en substratos tipo p , con el fin de generar un área de substrato tipo n . En el actual diseño, esta área se utiliza para construir dispositivos tipo p .

La capa *active* se utiliza para fabricar la región del drenador y la fuente en los MOSFET. La capa activa también es utilizada para conectar el Metal 1 al sustrato o a la oblea.

La capa de polisilicio (*poly*) se utiliza para construir las compuertas de los MOSFET. Está constituida por pequeñas regiones de silicio cristalino, es decir, tiene una estructura atómica organizada. Estas capas se pueden utilizar para conectar a los transistores entre sí. La principal limitación de esta capa para la interconexión es su resistencia por unidad de área, que presenta magnitudes de hasta el orden de $20\Omega/\mu\text{m}^2$. La capacitancia que presenta es grande, debido a que estas capas se encuentran más cerca del sustrato [4.1].

Las capas metálicas, llamadas *Metal1* y *Metal2* se utilizan para interconectar el circuito que tiene una resistencia aproximada de $0.1\Omega/\mu\text{m}^2$. Sus propiedades, hacen de estas capas mucho más útiles que el polisilicio. Presentando capacitancias menores que el polisilicio, por estar más alejado del sustrato. Presenta un fenómeno conocido como electro migración, que es un desgaste por exceso de corriente. Típicamente se recomienda no conducir más de 1 a 2 mA por cada μm de ancho [4.1].

Las uniones entre las capas anteriores se realizan mediante contactos de polisilicio, contactos con las capas activas y uniones entre los metales, teniendo todas éstas una resistencia debida al contacto. Las uniones entre Metales presentan la más baja resistencia 0.05Ω a 0.08Ω . La resistencia de contacto para cualquier otro tipo de contacto es como mínimo de 20Ω . Debido a lo anterior, se debe contar con el mayor número posible de contactos entre dos capas y así, reducir la resistencia de contacto [4.2].

4.3. Técnicas de eliminación de efectos parásitos

La técnica interconstrucción (interdigitation), se utiliza para evitar los efectos por resistencia de contacto, capacitancias, campos electromagnéticos, errores en la fabricación, diferencias de temperatura, gradientes de potencial, entre otros [4.1, 4.3, 4.5].

En vez de construir un dispositivo de gran tamaño, se construirán el mayor número de dispositivos de pequeño tamaño, cuya disposición será en espejo e interconectados de tal forma, que los efectos indeseables inducidos en el circuito se anulen mutuamente.

Los amplificadores son los dispositivos cuyas configuraciones requieren de mayor trabajo de interconstrucción, ya que, cualquier efecto inducido se amplifica e interactúa con las señales que se desean operar; la configuración de espejo ya no es suficiente, de tal forma que se diseñan celdas donde los transistores se disponen intercalados entre sí, formando un arreglo cuadrado (2×2 , 3×3 , etc), que se conecta a otro arreglo exactamente igual. Las dimensiones L y W de los dispositivos no se ven modificadas por esta técnica [4.1].

El ancho de los elementos conductores deberá ser el mayor posible para disminuir la resistencia en metales ya que a través de éstos circularán corrientes y habrá caídas de potencial. Se reducen las dimensiones de los polisilicios para evitar grandes capacitancias, ya que éstos sólo manejan señales de voltaje.

Los contactos entre capas tienen una resistencia de contacto, que se disminuirá con un mayor número de éstos, debido a que su dimensión es fija.

Se construirán estructuras falsas en los extremos de los arreglos de transistores, con el fin de eliminar un efecto de fabricación que modifica el ángulo de las paredes de las compuertas más alejadas del centro del arreglo.

4.4. Micro sensor de gases “ELISA 2005”

El diseño completo del microsensor de gases a base de ZnO, consiste de:

- Microsensor SG1.
- Estructuras de prueba.
- Diseños en cruz.
- Arreglos de microsensores con microcalefactores ínterdigitados.

El microsensor cuenta (Fig. 4.1), con una microestructura constituida por una membrana de $115 \mu m$ por lado, sostenida por cuatro puentes de Si_3N_4 y SiO_2 en forma de cruz de $28.5 \mu m$ de ancho, la cual contiene un microcalefactor (MH) de polisilicio (poli_1) de $10 \mu m$ de ancho y $371 \mu m$ de longitud; encima del MH se encuentra una microplaca caliente (MHP) de otro polisilicio (poli_2) en forma de rombo de $100 \mu m$. El MH y la MHP se encuentran aislados eléctricamente por una capa de SiO_2 de 800 \AA de espesor. El MH se extiende sobre los puentes superiores de la membrana. La MHP se encuentra en contacto con la película sensora de ZnO de $90 \times 90 \mu m$ por medio de una ventana de $70 \times 70 \mu m$ grabada a la capa de SiO_2 que cubre a dicha MHP . La película sensora de ZnO se encuentra expuesta al medio ambiente para tener interacción con el CO y realizar los procesos de adsorción-desorción de especies oxidantes y reductoras. [4.6]

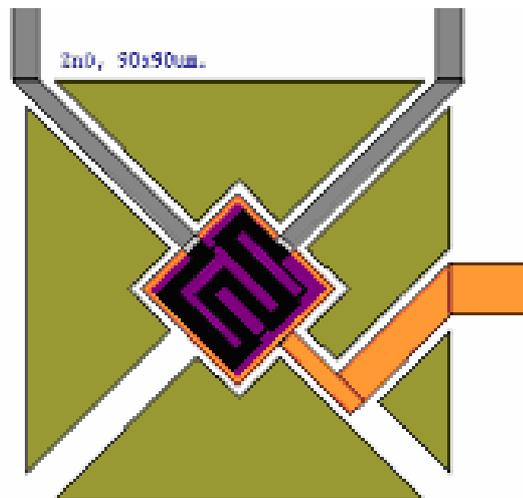


Figura 4.1: Micro sensor de gases “Elisa 2005”

El sensor se encuentra directamente expuesto al exterior, por lo que cualquier elemento extraño puede dañar la microestructura, teniendo esto en cuenta y debido a que las propiedades de los semiconductores se ven modificadas por la presencia de luz, se debe tener especial atención en la manipulación y las condiciones de caracterización.

4.5. Características térmicas del sensor de gases

La simulación del comportamiento térmico del sensor es de vital importancia, ya que de su correcto aislamiento depende el buen funcionamiento del resto del circuito de medición y adecuación de señal, razón por la que se realizaron simulaciones térmicas mediante el programa COVENTOR, con lo que se obtuvieron resultados satisfactorios (Fig. 1.8).

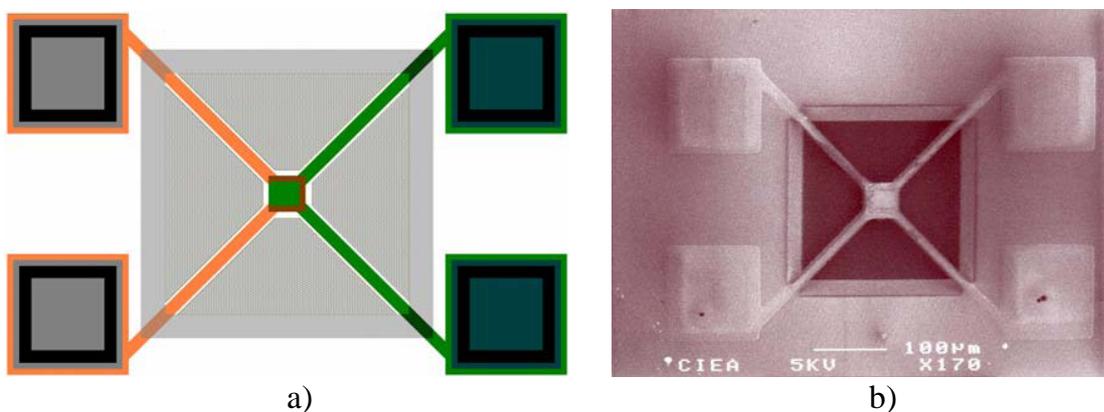


Figura 4.2: microcalefactor suspendido sobre un microfoso. a) Diseño de fabricación y b) Prototipo.

Para la simulación del aislamiento térmico, se utilizó una temperatura inicial de $300^{\circ}K$ hasta la temperatura de operación, es decir $600^{\circ}K$ como se observa en la siguiente figura:

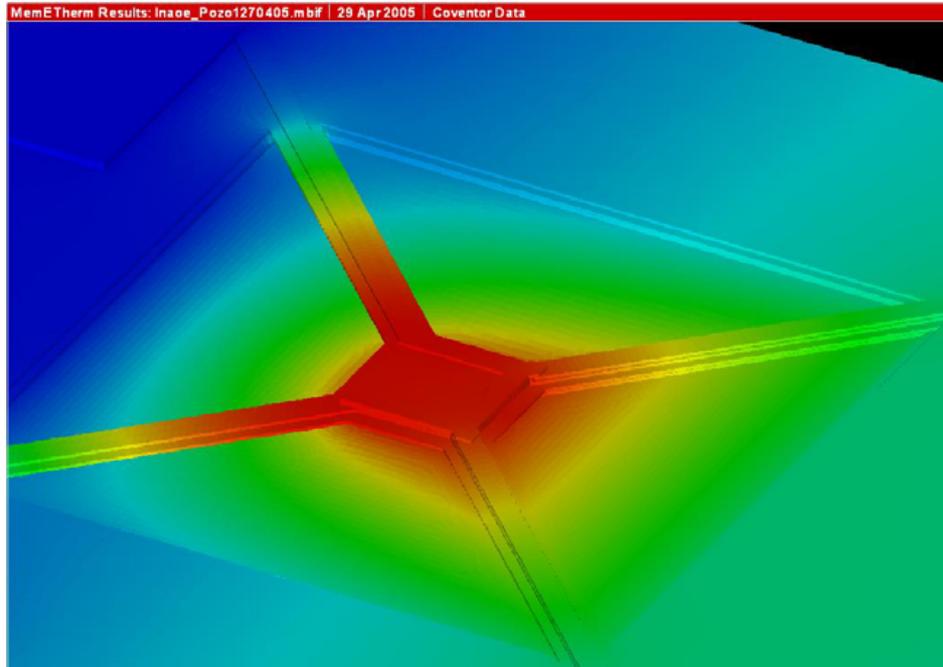


Figura 4.3: Simulación del comportamiento térmico del microcalefactor.

Se observa que la alta temperatura sólo está presente al interior del microfoso, sin embargo, se debe poner atención en el hecho de que los puentes que suspenden al sensor pueden ser afectados por temperaturas demasiado altas provocando su elongación o ruptura.

4.6. Etapa de Amplificación

La etapa de amplificación se encuentra dada en λ , que es la unidad de diseño, por ejemplo, se dice que si una tecnología tiene un tamaño mínimo de diseño de $1.5\mu m$ la unidad de diseño está dada por $\lambda = 1.5\mu m / 2$ y por tanto $W_{\lambda} = W(\mu m) / \lambda$ y $L_{\lambda} = L(\mu m) / \lambda$, de esta forma, el diseño de fabricación puede ser adaptado a otras tecnologías, siempre y cuando la simulación computacional garantice la correcta operación del circuito con los nuevos parámetros.

La figura 4.2 muestra dos amplificadores operacionales diseñados en base a métodos de interconstrucción como seguidores de corriente y se encuentran a cada extremo, se integra una etapa de adecuación de señal con ganancia variable al centro y los interruptores de control bajo una configuración de transistores tipo p y tipo n en paralelo, con el fin de mejorar el desempeño bajo cualquier situación de polarización, es decir, disminuir la resistencia debida a los transistores y asegurar la saturación.

El circuito tiene una dimensión total de $1240\mu m \times 375\mu m$ que se alimenta a 5 volts; el circuito de adecuación de señal demanda una corriente de $100\mu A$, es decir, $4.8E-4 W$ para su funcionamiento. Consta de diecinueve bornes de conexión que abarcan, alimentación, control, polarización, entradas y salidas.

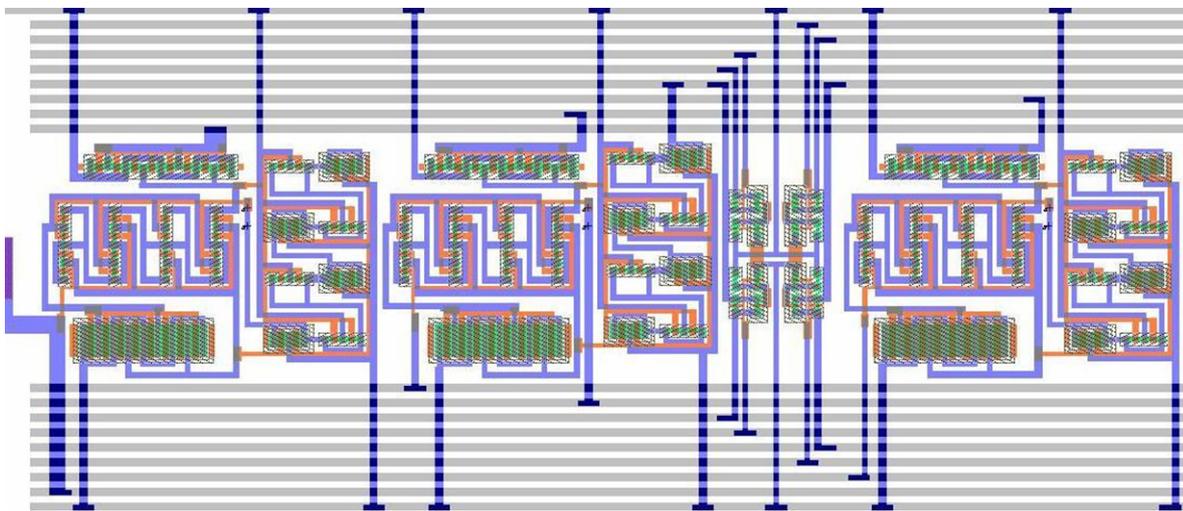


Figura 4.4: Etapa de adecuación de señal.

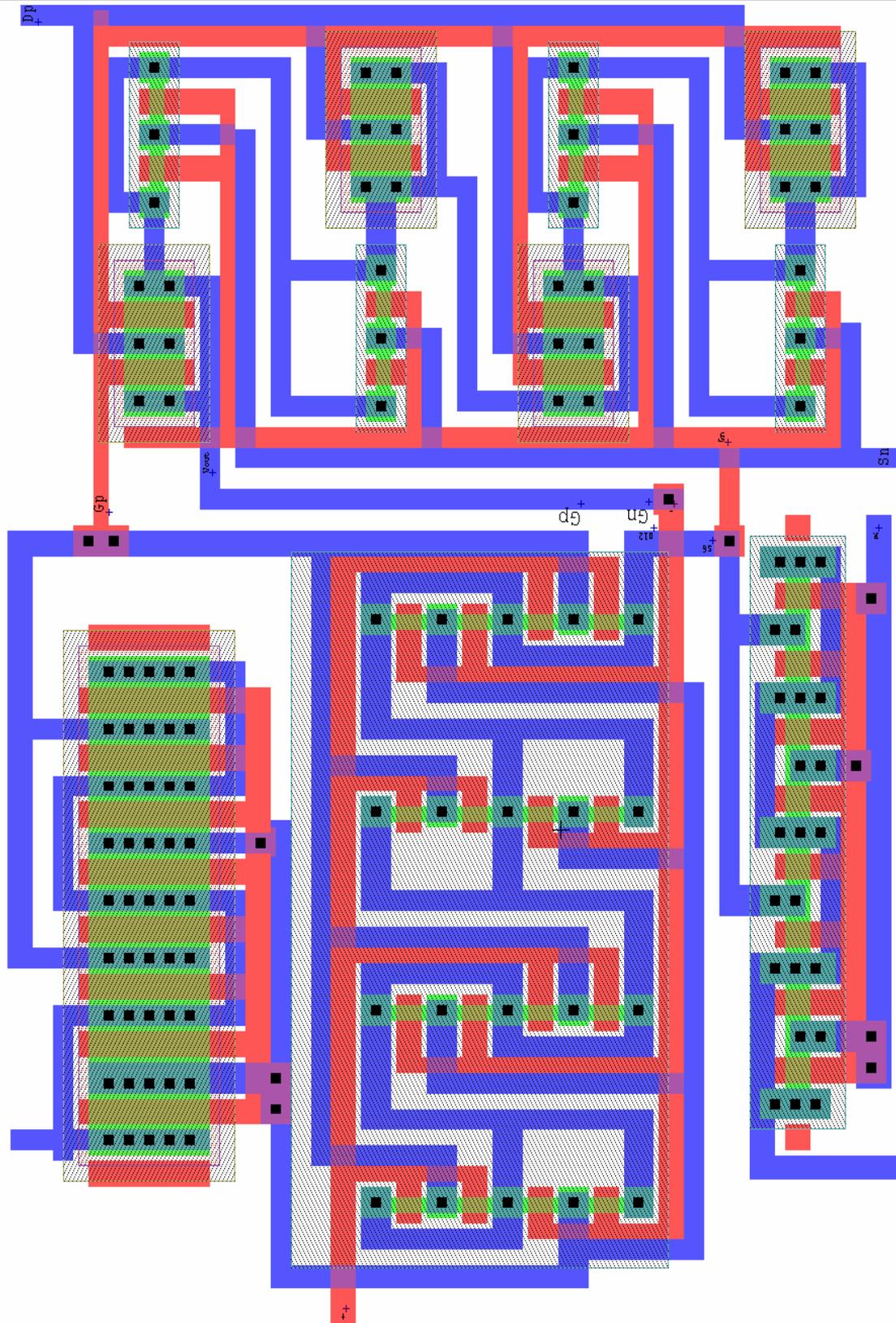


Fig. 4.5: Layout OPAMP.

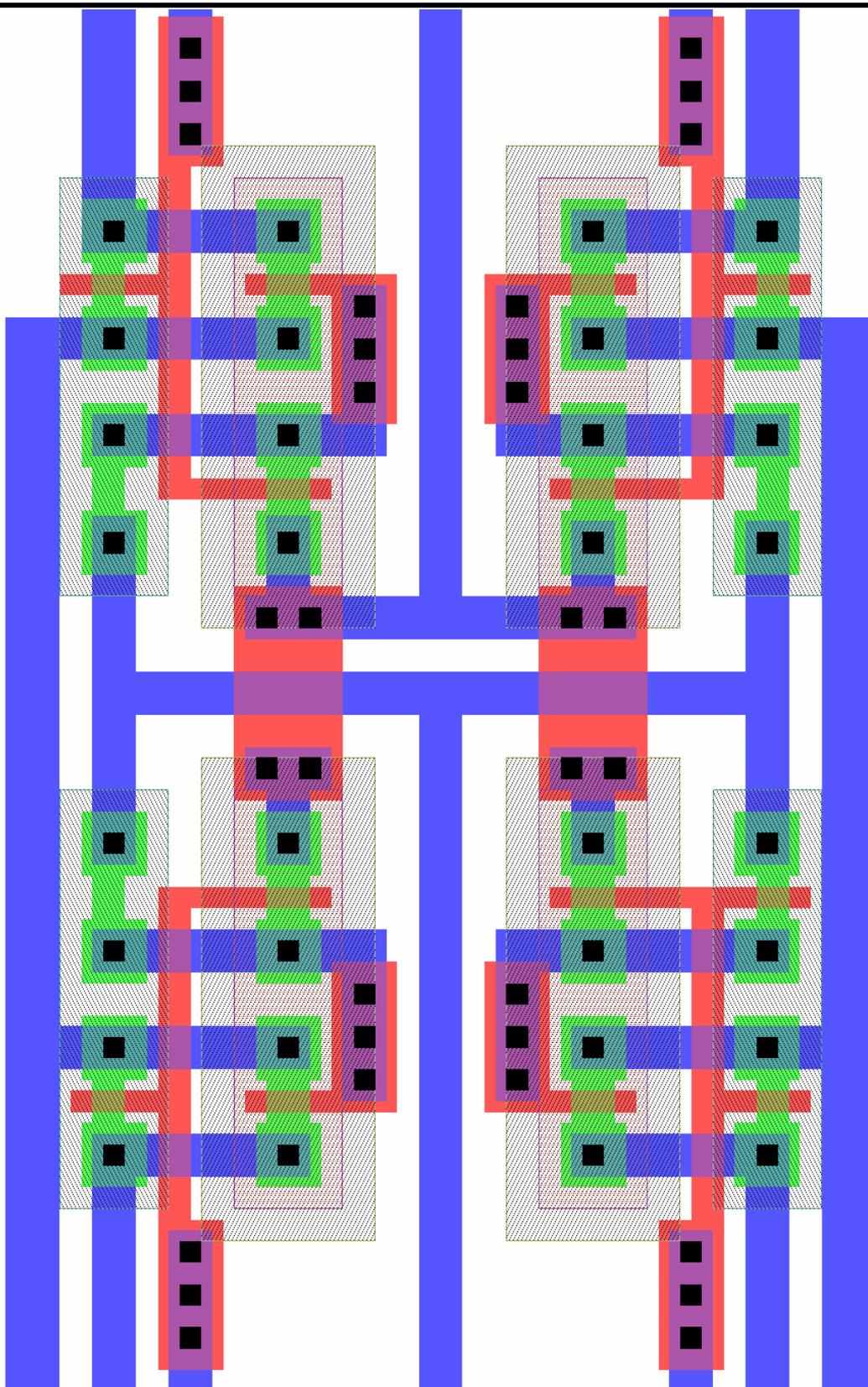


Fig. 4.6: Layout interruptores de control de ganancia.

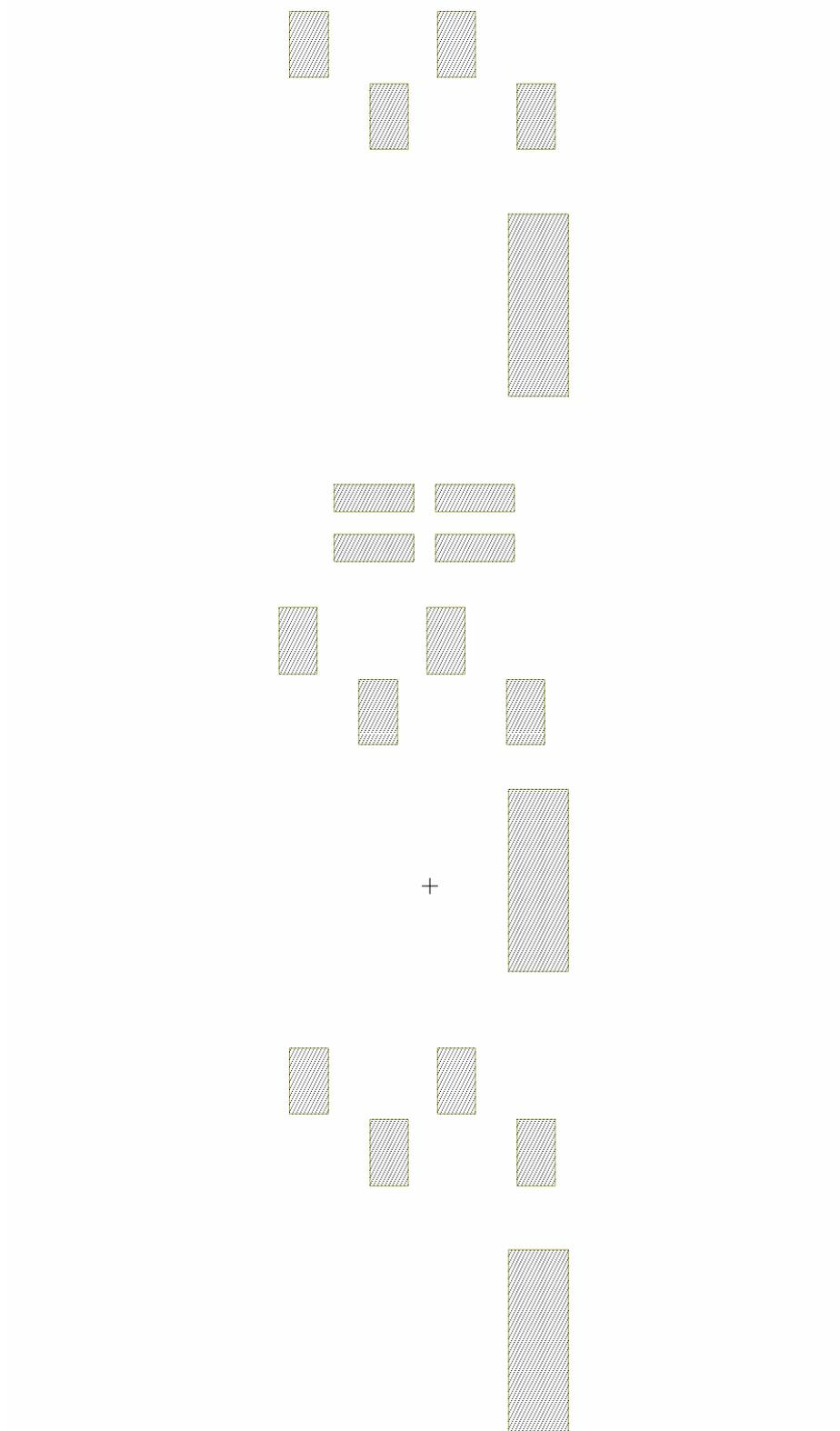


Figura 4.7: Mascarilla *nwell* del circuito de adecuación de señal.

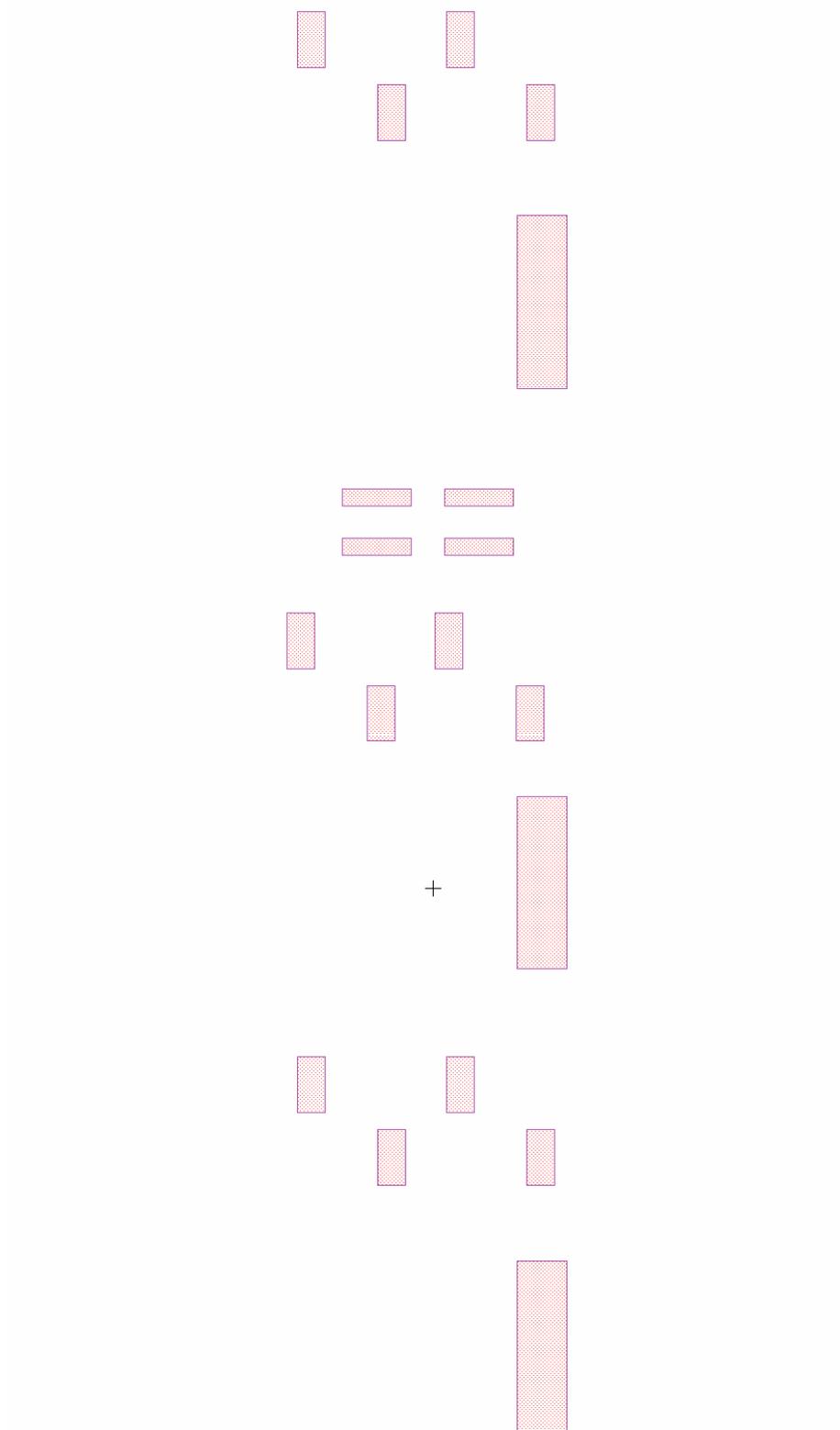


Figura 4.9: Mascarilla *pselect* del circuito de adecuación de señal.

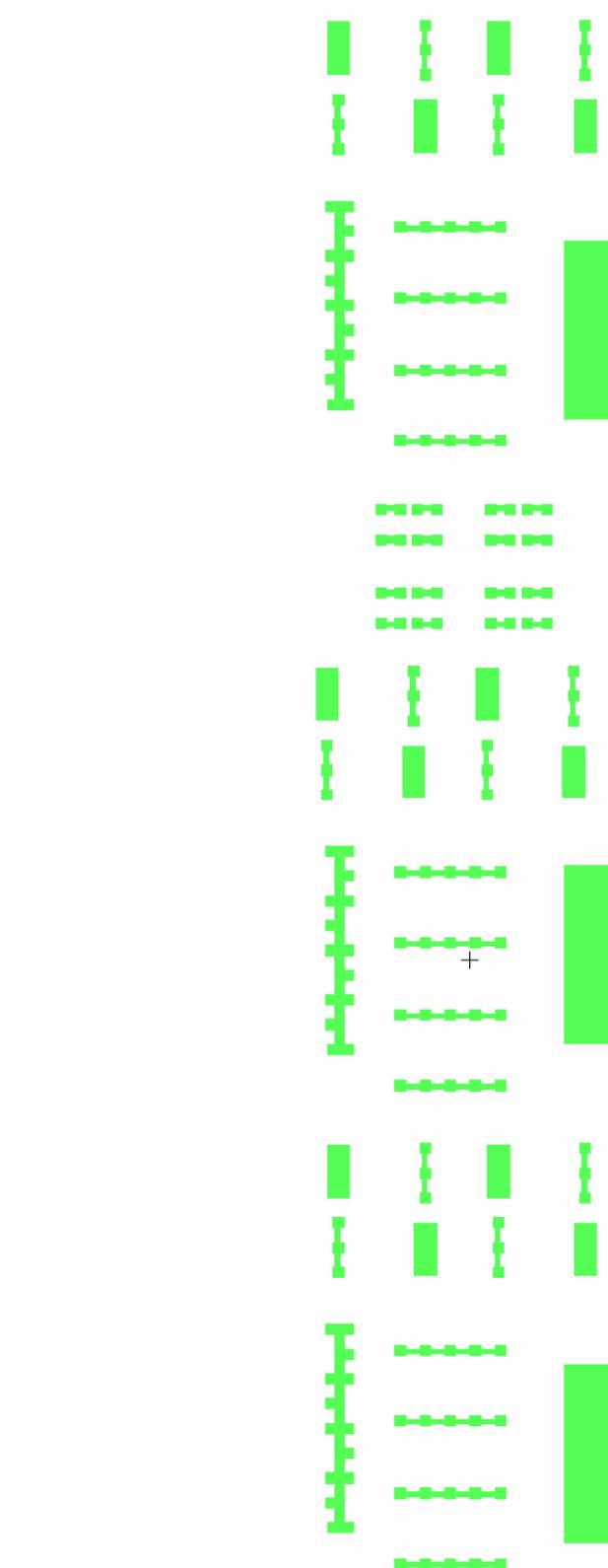


Figura 4.10: Mascarilla *active* del circuito de adecuación de señal.

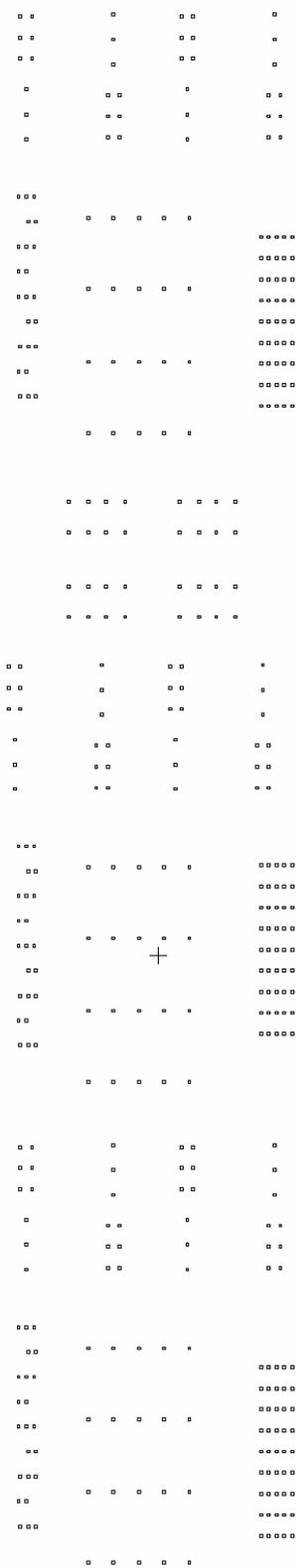


Figura 4.11: Mascarilla *active contact* del circuito de adecuación de señal.

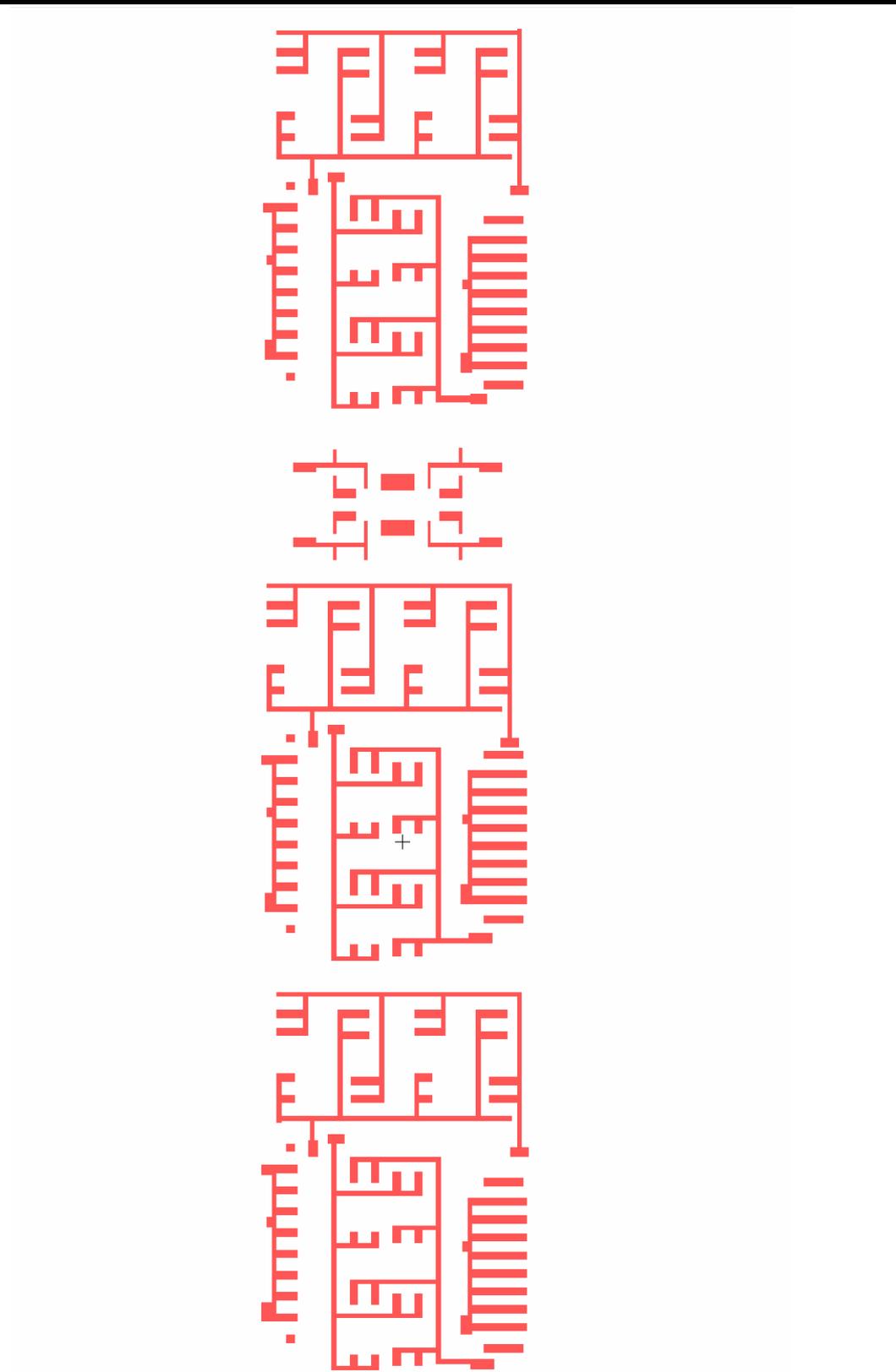


Figura 4.12: Mascarilla *poly* del circuito de adecuación de señal.

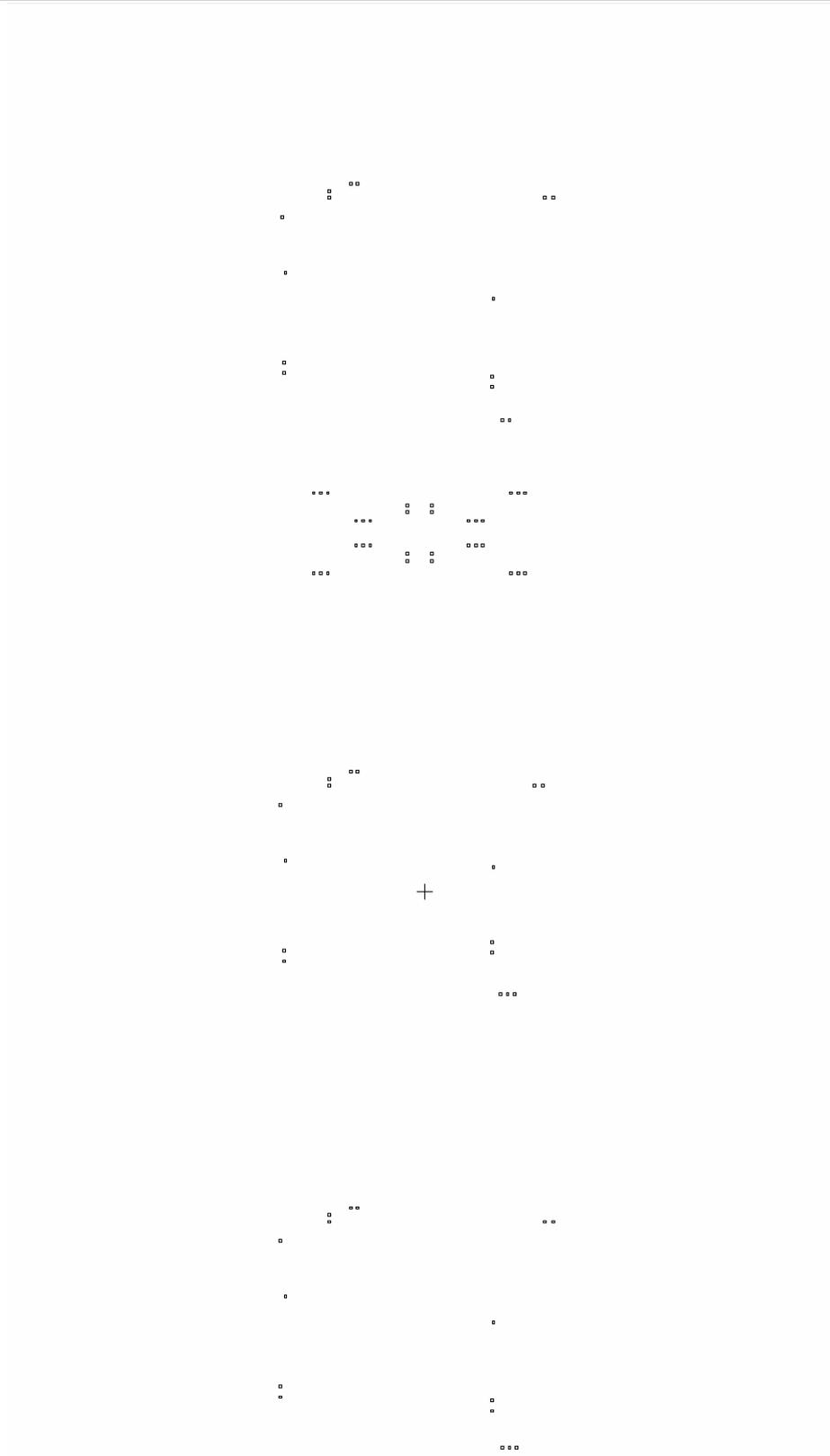


Figura 4.13: Mascarilla *poly contact* del circuito de adecuación de señal.

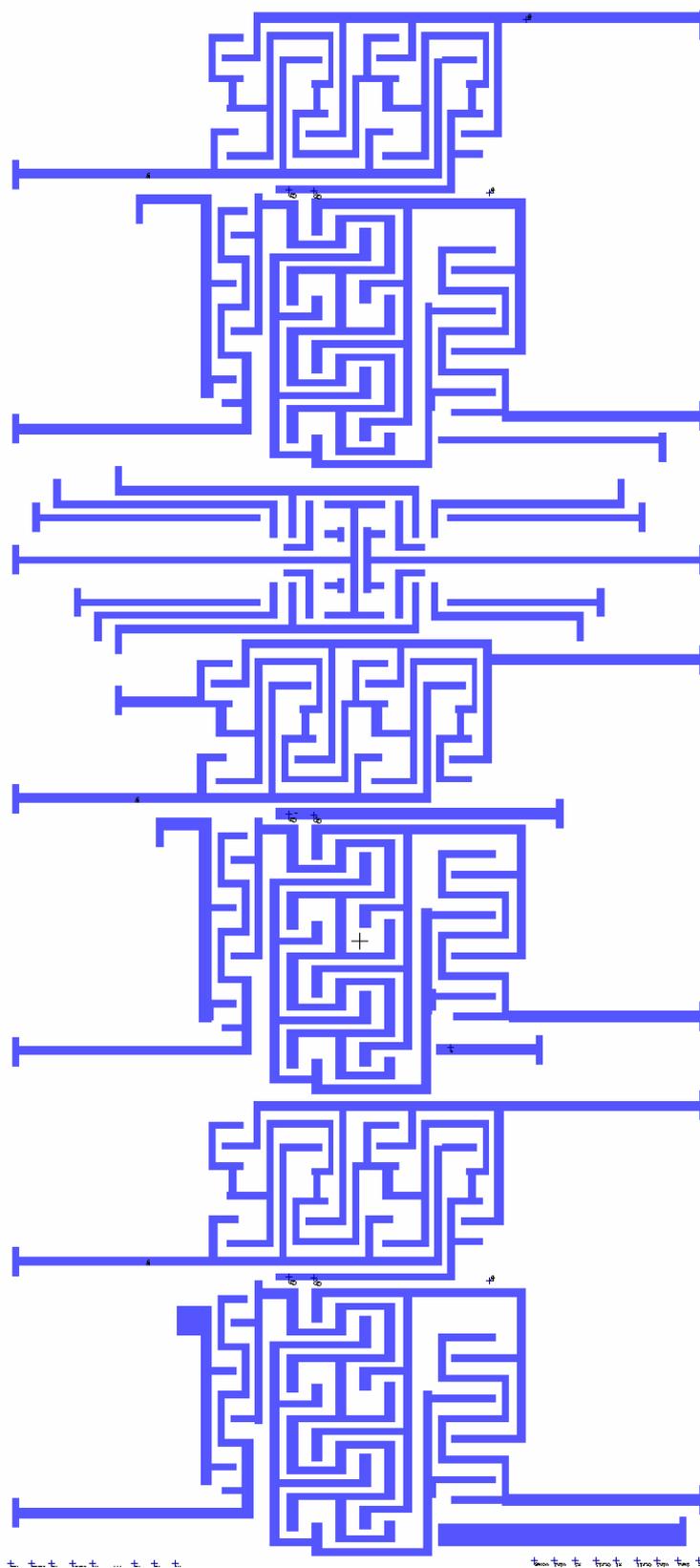


Figura 4.14: Mascarilla *metal 1* del circuito de adecuación de señal.

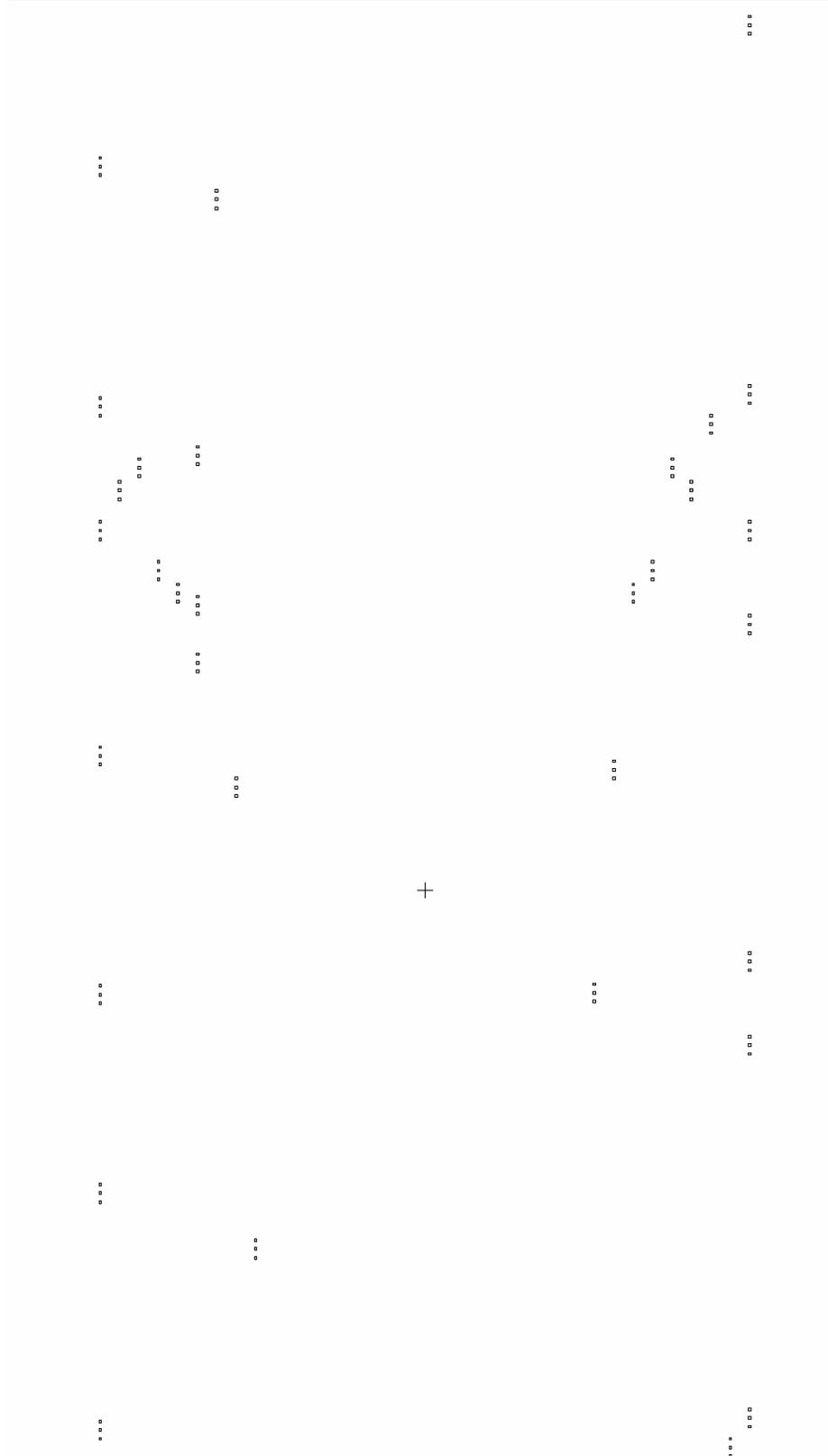


Figura 4.15: Mascarilla *via* del circuito de adecuación de señal.

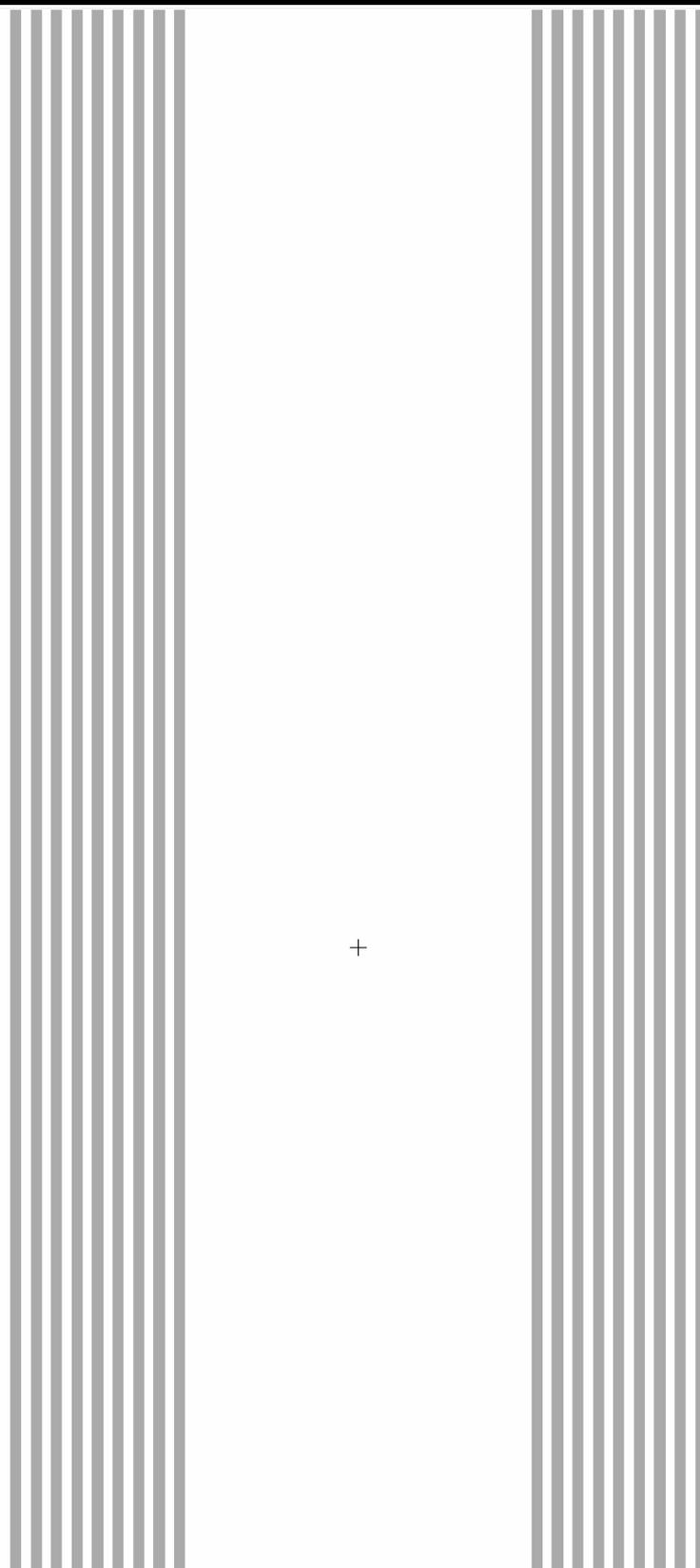


Figura 4.16. Mascarilla *metal 2* del circuito de adecuación de señal.

4.6. Conclusiones

Los microsensores pueden ser producidos en masa por medio de tecnologías de fabricación de microcircuitos, incluyendo microestructuras y micromáquinas; permitiendo bajos costos; siendo realmente útiles en innumerables aplicaciones, de tal forma que la corriente a nivel mundial es fusionar macrosistemas con microsistemas; Una de las áreas mas beneficiadas es el sector automotriz, con el caso de los neumáticos inteligentes, microacelerómetros, microsensores de temperatura y de gases, entre otros; que brindan al conductor información detallada de los diversos sistemas que conforman el automóvil, a cada momento, sin que esto represente un costo excesivo y, permiten un mejor nivel de seguridad para el usuario, previniendo escenarios potencialmente dañinos, para el caso de los sensores de gases, como es el caso del monóxido de carbono que es un gas incoloro, inodoro y altamente letal para el ser humano, aún en bajas concentraciones.

El sensor del que aquí se trata es un MEMS, se basa en una película sensora de ZnO , que opera a una temperatura de $300^{\circ}C$, su fabricación se realiza por medio de tecnología CMOS, cuenta con un microcalefactor para aumentar la temperatura de la película, una microplaca caliente que distribuye el calor uniformemente y un microfoso que actúa como aislante térmico.

El diseño de circuitos integrados para fabricación depende de factores tales como la tecnología, parámetros y reglas de diseño, el tamaño, costo y la flexibilidad de la configuración.

Las técnicas de supresión de factores externos son de vital importancia, ya que previenen la interacción del medio con los componentes del diseño, o en su defecto, los atenúan; el sensor descrito tiene interacción con el medio, por tal motivo no debe exponerse a la luz.

Existen infinidad de diseños de amplificadores y configuraciones en librerías, sin embargo, éstos sólo se utilizan en procesos digitales. En todo proceso analógico y de adaptación de señal, se debe diseñar el circuito en base a la entrada y la salida deseada.

4.7. Bibliografía

- 4.1. CMOS Circuit Design, Layout, and Simulation. R Jacob Baker, Harry W. Li and David E. Boyce. Department of EE. Microelectronics Research Center. IEEE PRESS.
 - 4.2. Análisis y Diseño de Circuitos Integrados Analógicos. Paul R. Gray, Robert G. Meyer. Prentice Hall.
 - 4.3. Design of Analog CMOS Integrated Circuits. Behzad Razavi Professor of Electrical Engineering. University of California, Los Angeles. 2001. McGraw-Hill Higher Education.
 - 4.4. MICROMECHATRONICS. Modelling, Analysis, and Design with MATLAB®. Victor Giurgiutiu, Sergey Edgard Lyshevsky. CRC PRESS
 - 4.5. Electronic Circuits, Discrete and Integrated, Donald L. Schilling, Charles Belove, Tuvia Apelewicz, Raymond J. Saccardi, 1999, Third Edition, McGraw-Hill Book Company.
 - 4.6. Aplicación De Estructuras Micro-Electro-Mecánicas (MEMS) Con Tecnología CMOS Para Sensores De Parámetros Físicos. Dr. José Luís González Vidal, tesis de doctorado, CINVESTAV, 2006.
-

Capítulo 5

Conclusiones y trabajos futuros.

En este trabajo de investigación y diseño se obtuvieron los siguientes resultados:

- Se diseñó y modeló un amplificador operacional libre de compensación externa, con bajo consumo, alta ganancia y baja frecuencia enfocado al sensor de gases “ELISA 2005”, como método de amplificación y adecuación de señal.
- Aproximación de una función a la variación de la resistencia con respecto a la concentración de CO del sensor de gases.
- Se comprobó la utilidad de la etapa de adecuamiento de señal mediante simulación en Orcad® con un modelo nivel siete, permitiendo conocer los parámetros, características de operación y estabilidad de los amplificadores operacionales.
- Se diseñó el layout de la etapa de amplificación y adecuamiento de señal bajo especificaciones de fabricación y técnicas de eliminación de efectos parásitos.

Trabajos Futuros

- Comprobar el layout para su posterior fabricación.
- Una vez teniendo el prototipo, se han de realizar todo tipo de pruebas, en frecuencia, en ambientes diversos, bajo condiciones extremas de operación, entre otras, para asegurar su correcto funcionamiento y conocer sus características de operación, con el fin de comercializar el diseño.

Apéndice A

Parámetros de simulación.

Transistor tipo n

```
.MODEL NMOS NMOS (                                LEVEL = 7
+VERSION = 3.1      TNOM = 27                    TOX   = 3.14E-8
+XJ = 3E-7          NCH = 7.5E16                 VTH0  = 0.5477785
+K1 = 0.9254425     K2 = -0.0761757             K3    = 4.0590759
+K3B = -2.5231049   W0 = 1.937881E-6            NLX   = 1E-8
+DVT0W = 0          DVT1W = 0                   DVT2W = 0
+DVT0 = 0.679086    DVT1 = 0.3869778           DVT2  = -0.3694119
+U0 = 665.426698    UA = 1.596265E-9           UB    = 2.028418E-18
+UC = 3.603301E-11  VSAT=1.028012E5            A0    = 0.6371223
+AGS = 0.1373072    B0 = 2.333661E-6           B1    = 5E-6
+KETA = -4.83592E-3 A1= 0                      A2    = 1
+RDSW = 3E3         PRWG = -0.0269755          PRWB  = -0.0947657
+WR = 1             WINT = 7.065225E-7         LINT  = 2.524788E-7
+XL = 0             XW = 0                      DWG   = -2.079306E-8
+DWB = 3.127438E-8  VOFF = -0.0390018                          NFACTOR = 0.6755521
+CIT = 0            CDSC = 6.486613E-7          CDSCD = 0
+CDSCB = 4.789094E-5 ETA0 = -0.096653           ETAB  = 0.013505
+DSUB = 0.4301893   PCLM = 1.6250695             PDIBLC1 = 0.0110461
+PDIBLC2 = 3.64481E-3 PDIBLCB = -0.1000009          DROUT = 0.0795384
+PSCBE1 = 2.153596E9 PSCBE2 = 5.005E-10           PVAG  = 0.2222499
+DELTA = 0.01       RSH = 54.7                  MOBMOD = 1
+PRT = 0            UTE = -1.5                   KT1   = -0.11
+KT1L = 0          KT2 = 0.022                  UA1   = 4.31E-9
+UB1 = -7.61E-18   UC1 = -5.6E-11                 AT    = 3.3E4
+WL = 0            WLN = 1                      WW    = 0
+WWN = 1           WWL = 0                      LL    = 0
+LLN = 1           LW = 0                      LWN   = 1
+LWL = 0           CAPMOD = 2                   XPART = 0.5
+CGDO = 1.68E-10   CGSO = 1.68E-10                 CGBO  = 1E-9
+CJ = 2.776174E-4  PB = 0.99                                    MJ    = 0.5491204
+CJSW = 1.398481E-10 PBSW = 0.99                 MJSW  = 0.100001
+CJSWG = 6.4E-11  PBSWG = 0.99                 MJSWG = 0.100001
+CF = 0            )
*
```

Transistor tipo p

```

.MODEL PMOS PMOS (                                LEVEL = 7
+VERSION = 3.1      TNOM = 27                    TOX = 3.14E-8
+XJ = 3E-7          NCH = 2.4E16                 VTH0 = -0.8476404
+K1 = 0.4513608    K2 = 2.379699E-5             K3 = 13.3278347
+K3B = -2.2238332  W0 = 9.577236E-7             NLX = 1E-6
+DVT0W = 0         DVT1W = 0                    DVT2W = 0
+DVT0 = 1.9061041  DVT1 = 0.4721513            DVT2 = -0.0229986
+U0 = 236.8923827  UA = 3.833306E-9            UB = 1.487688E-21
+UC = -1.08562E-10 VSAT = 1.21776E5            A0 = 0.4765202
+AGS = 0.3512323   B0 = 5.752491E-6            B1 = 5E-6
+KETA = -4.519106E-3 A1 = 0                    A2 = 0.364
+RDSW = 3E3        PRWG = 0.0666353            PRWB = -0.1903593
+WR = 1            WINT = 7.565065E-7           LINT = 9.606365E-8
+XL = 0            XW = 0                       DWG = -2.13917E-8
+DWB = 3.857544E-8 VOFF = -0.0877184                       NFACTOR = 0.2508342
+CIT = 0           CDSC = 2.924806E-5           CDSCD = 1.497572E-4
+CDSCB = 1.091488E-4 ETA0 = 0.26103              ETAB = 7.028921E-4
+DSUB = 0.2873     PCLM = 4.69004E-10           PDIBLC1 = 7.477411E-4
+PDIBLC2 = 3.271335E-3 PDIBLCB = -1E-3          DROUT = 1E-3
+PSCBE1 = 3.515038E9 PSCBE2 = 5.273648E-10          PVAG = 14.985
+DELTA = 0.01      RSH = 75.9                   MOBMOD = 1
+PRT = 0           UTE = -1.5                     KT1 = -0.11
+KT1L = 0          KT2 = 0.022                    UA1 = 4.31E-9
+UB1 = -7.61E-18   UC1 = -5.6E-11                  AT = 3.3E4
+WL = 0            WLN = 1                       WW = 0
+WWN = 1           WWL = 0                        LL = 0
+LLN = 1           LW = 0                         LWN = 1
+LWL = 0           CAPMOD = 2                     XPART = 0.5
+CGDO = 1.97E-10   CGSO = 1.97E-10                  CGBO = 1E-9
+CJ = 3.013457E-4  PB = 0.8                          MJ = 0.4447784
+CJSW = 1.666252E-10 PBSW = 0.812875             MJSW = 0.1074902
+CJSWG = 3.9E-11   PBSWG = 0.812875             MJSWG = 0.1074902
+CF = 0           )
*
```